

超微細化と超三次元化の時代の配線考

磯林厚伸

株式会社東芝

E-mail: atsunobu.isobayashi@toshiba.co.jp

大規模集積回路 (LSI) はトランジスタと配線の寸法を三次元的に微細化することにより高集積化と高性能化、低消費電力化が可能であるとするデナード則[1]を原動力に、ムーアの法則に沿ったスケーリングを実現してきた。近年その限界が報告されており、チップの三次元積層化による高性能化や高集積化への期待が高まっている。一方で、新規構造と材料を組み合わせることにより引き続き微細化を推し進める動きもあり、まさに現在は超微細化と超三次元化が同時に進行する時代である。半導体技術のロードマップにおいても、これまで国際半導体ロードマップ (ITRS[1]) が半導体の未来を予測する主流ツールとして用いられてきたが、現在はその活動は終息し、変わりに、国際デバイスシステムロードマップ (IRDS[2])、米国半導体工業会 (SIA[3])、そして半導体の国際的コンソーシアムである imec がそれぞれの立場でロードマップを作成している状況である。

その潮流の中で半導体配線技術も急激に変化してきている。微細化最優先の時代では Al 配線から Cu 配線至る配線形成と信頼性、Cu/low-k 構造の Cu 埋め込み特性と低誘電率化が主要トピックスであった。その後、上記流れに沿うように post-Cu 材料や airgap 構造といった新規配線構造から、TSV やウェハレベル貼り合わせ技術といった三次元積層化、更に新しい伝導方式を用いた配線構造まで、多種多様な技術開発が行われている。

これら半導体の配線技術の変遷の中で様々なドライおよびウェットプロセスが開発されてきた。Al 配線から Cu 配線への変遷、容量低減のための低誘電率膜の開発、Cu 信頼性向上のための metal cap プロセス、容量低減のための airgap プロセス、リソグラフィの解像限界を超える超微細パターン形成プロセスなど、ドライおよびウェットの双方で技術開発された項目も多く存在する。それらの技術選定には技術的要因 (寸法制御性や異種材料間の選択性、信頼性) とビジネス的要因 (コストやエコシステム) があった。今後の超微細化と超三次元化ではこれまで以上に技術的要求度が高く、その課題に対応したプロセス技術の選定は従来技術の延長のみでは無く、新しい技術の取り込みを必要とすると考えられる。

[1] R. H. Dennard et.al., IEEE, J. of SSC, v 9, n 5, pp. 256–268

[2] <http://www.itrs2.net/>

[3] <http://irds.ieee.org/>

[4] <https://www.semiconductors.org/clientuploads/ResearchTechnology/SIA%20SRC%20Vision%20Report%203.30.17.pdf>