二硫化モリブデン MOS 界面におけるスロートラップ評価

Evaluation of slow traps in MoS_2 MOS interface

°山下　真史, 高木　信一, 竹中　充 (東大院工)

°Masashi Yamashita[1], Shinichi Takagi, Mitsuru Takenaka (Univ. Tokyo)

E-mail: yamashita@mosfet.t.u-tokyo.ac.jp

【はじめに】現代の情報化社会の基礎を支えてきた集積回路は 1974 年に R.H.Dennard によって提唱されたスケーリング則にしたがって小型化が進められてきた。これにより素子の低消費電力化と高性能化[1]が実現されてきたが、スケーリングも物理的限界に近づいており、Si よりも優れた物性を持つ二次原材料に注目が集まっている。その中でも MoS_2 はバンドギャップをもつ半導体であり、層状の物質であるためチャネル膜厚を原子状に薄くすることが可能であると期待されている[2]。また構造上表面にダングリングボンドが存在しないため良好な MOS 界面特性が得られると期待されている。しかし、層状材料の MOS 界面を定量的に評価することが難しいことが問題となっていた。我々は、剥離法により厚膜 MoS2 MOS キャパシタを作製し、ターマン法による MOS 界面評価を進めている[3]。今回はヒステリシスの原因となる MoS_2 MOS キャパシタ界面に存在するスロートラップの定量評価を行ったので報告する。

【デバイス構造】MoS_2 MOS キャパシタの構造を Fig.1 に示す。n^+-Si または p^+-Si 基板を洗浄後、表面に Al_2O_3 を 10nm 堆積させ、PDA (Post Deposition Annealing)を行った。その上にスコッチテープにより剥離した 1μm 程度の MoS_2 を転写した。シャドーマスクを用い半径 100μm の円形 Au 電極を蒸着したのち、Au 電極からはみ出た MoS_2 を ICP ドライエッチングにより素子分離することで MOS キャパシタを作製した。

【評価手法】スロートラップを定量的に評価するため、有効スロートラップ密度ΔN_{fix} と絶縁膜中有効電界 E_{ox} の関係を測定した [4]。MoS_2 MOS キャパシタに対しバイアス電圧の範囲を変えつつ CV 測定を行い、ヒステリシスの大きさからΔN_{fix} を算出した。

【実験結果】評価結果を Fig. 2 に示す。Si/Al_2O_3 MOS 界面と比較すると、スロートラップは一桁以上大きいことが分かるが、基板として n^+-Si を用いたものより p^+-Si を用いた素子の方がスロートラップ量が一桁以上少ないことが分かった。これにより、MoS_2 MOS 界面のスロートラップの低減が可能であることを明らかにした。

【参考文献】

[1] J. R. Brews et al., *IEEE Electron Device Lett.*, vol. EDL-I, pp. 2-4(1980)

[2] Katsuyoshi Kobayashi and Jun Yamauchi Phys. Rev. B **51**, 17085 – Published 15 June 1995

[3] M. Takenaka, Y. Ozawa, J. Han and S. Takagi, "Quantitative evaluation of energy distribution of interface trap density at MoS2 MOS interfaces by the Terman method," *2016 IEEE International Electron Devices Meeting (IEDM)*, San Francisco, CA, 2016, pp. 5.8.1-5.8.4.

[4] M. Ke et al., *Microelectronic Engineering*, vol.147, 244-248 (2015)

【謝辞】本研究の一部は JST-CREST（Grant number JPMJCR1332）の助成により実施した。

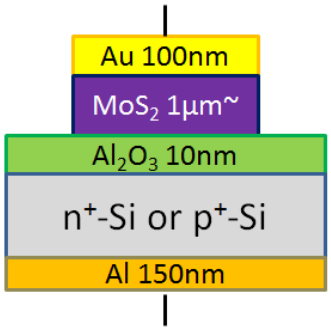

Fig. 1 MoS_2 MOS キャパシタの構造

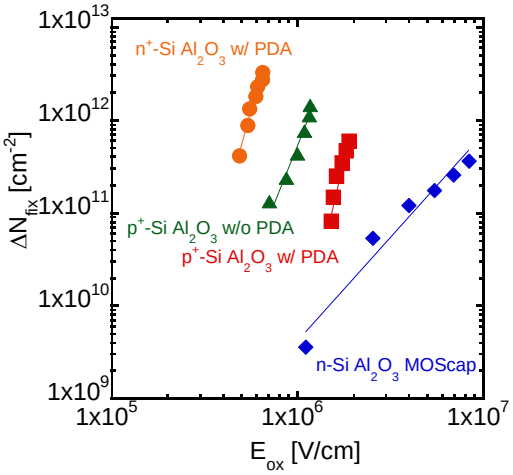

Fig. 2 MoS_2 キャパシタのスロートラップ密度