

Si<100>スピン伝導素子のスピン信号強度増大

Enhancement of spin signals through Si<100> crystal orientation in Si-based devices

○石川瑞恵^{1,2}, 塚原誠人¹, 藤田裕一¹, 山田晋也¹, 杉山英行², 斉藤好昭², 浜屋宏平¹

(1. 阪大基礎工, 2. 東芝研開セ)

○Mizue Ishikawa^{1,2}, Makoto Tsukahara², Yuichi Fujita¹, Shinya Yamada¹, Hideyuki Sugiyama², Yoshiaki Saito², and Kohei Hamaya¹, (¹Osaka Univ., ²Toshiba Corporate R&D Center)

E-mail: mizue.ishikawa@toshiba.co.jp

CoFe/MgO/ n^+ -Si 素子において室温でスピン信号が観測されるようになり^[1], ごく最近, スピン信号を増大することで n^+ -Si 中のスピン緩和機構も実験的に解明されつつある^[2]. つまり, Si のような多谷構造を有する伝導帯を輸送するスピンを考慮する場合, 室温付近で顕著になるフォノン誘起の谷間スピン散乱がスピン緩和機構を支配していることが明らかになっている^[2]. 伝導帯の谷構造は Si-Si 結合軌道の方位に関係しているため, 室温付近のスピン緩和が結晶方位に依存することが予想される. 本研究では, 伝導チャネル方位をこれまでの<110>から<100>へ変更した素子におけるスピン伝導を報告する.

(100)配向の SOI 基板に P をドーピング(~ 61 nm, $n \sim 2 \times 10^{19}$ cm⁻³)後, MgO トンネルバリアを電子線蒸着(200°C, ~ 1.1 nm)し, CoFe(15 nm)をスパッタリング法で堆積させた^[1,2]. 電子線リソグラフィと Ar イオンミリングを用いて横型素子構造へ微細加工し, スピン注入・検出電極の面積をそれぞれ $2.0 \times 5 \mu\text{m}^2$, $0.5 \times 5 \mu\text{m}^2$, 電極の中心間距離(d)を $1.75 \sim 4.25 \mu\text{m}$ と変化させた様々な素子を作製した.

図 1 には, d が $1.75 \mu\text{m}$ での室温における非局所磁気抵抗信号を示す. スピン伝導チャネルの方位に依らず, いずれの素子においても CoFe 電極の磁化配置の変化を反映する明瞭なヒステリシスが観測されているが, スピン信号の大きさやヒステリシスの形状に変化が見られた. 特に, <100> スピン伝導では<110>スピン伝導に比べて約 2 倍の信号強度を観測した. 講演では, これらのメカニズムについてスピン緩和機構との関係を議論する予定である.

本研究の一部は, 科学研究費補助金(基盤研究(A)25246020)の支援を受けて行ったものである.

[1] Y. Saito *et al.*, J. Appl. Phys. **115**, 17C514 (2014); J. Appl. Phys. **117**, 17C707 (2015).

[2] M. Ishikawa *et al.*, Phys. Rev. B **95**, 115302 (2017)

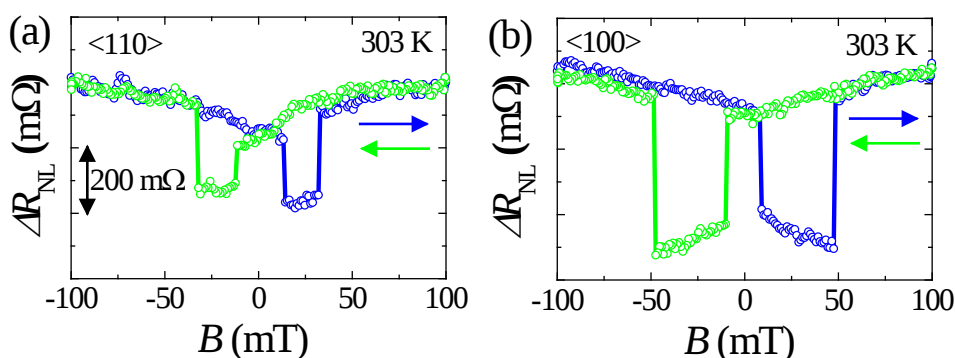


図 1. 室温における非局所スピン信号 [(a) <110>, (b) <100>].