

マイクロマグネティックシミュレーションによる垂直 20nm-MTJ の 周辺ダメージ解析

Understanding of the perimeter damage effects for perpendicular 20-nm magnetic tunnel junction using micromagnetic simulation

富士通¹, 富士通研² °吉田 親子¹, 田中 智大¹, 安宅 正¹, 藤崎 淳¹, 清水 香穂¹,
古屋 篤史¹, 上原 裕二¹, 大島 弘敬²

Fujitsu¹, Fujitsu Labs.², °C. Yoshida¹, T. Tanaka¹, T. Ataka¹ J. Fujisaki¹, K. Shimizu¹,
A. Furuya¹, Y. Uehara¹, and H. Oshima²
E-mail: cyoshida@jp.fujitsu.com

[序]: CoFeB/MgO を基本構造とする垂直磁化方式の磁気トンネル接合 (MTJ) を用いた STT-MRAM は、大容量不揮発性メモリの候補として有望である。高密度メモリの実用化には、20 nm 以下への MTJ 微細化が望まれている。しかし、MTJ を 20 nm 以下に加工すると、プロセスダメージにより、その保持力 (H_c) や MR 比が減少することが報告されている [1-2]。最近、周辺ダメージ層の寸法を変えて、その影響をマイクロマグネティックシミュレーションにより調べ、わずか 1 nm での大きな影響を及ぼすことが報告されている [3]。本研究では、マイクロマグネティックシミュレーションにストリング法 [4] を適用し、垂直 20 nm-MTJ のエネルギー障壁 (Δ) への周辺ダメージ層の影響を調べた。

[計算方法]: シミュレーションには、EXMAG-LLG シミュレータ [5] を用いた。Fig. 1 に示すように、MTJ の周辺に幅 1 nm のダメージ層を仮定し、その劣化状態が、①劣化なし、② M_s と異方性磁界 (H_k) がともに 50% 劣化、③ H_k のみ 50% 劣化、④ M_s のみ 50% 劣化した場合について、 H_c 、 Δ を計算した。さらに、反転閾値電流密度 (J_{c0}) については、マクロスピンモデル ($(t_{sw})^{-1} = \alpha\gamma H_{eff} \cdot (J/J_{c0} - 1) / [\ln(\pi/2\theta)]$) を仮定し算出した [3] (ここで、 J は電流密度、 t_{sw} は反転時間、 α はダンピング定数、 γ はジャイロ定数、 θ はフリー層と参照層の初期角を表す)。

[結果及び考察]: STT 磁化反転は、ダメージ状態に関わらず、コヒーレントな一斉回転を示した。Fig. 2 に示すように、ダメージ層の H_k が劣化すると、 H_c が減少し、それに対応して Δ も減少する。このとき、 M_s が劣化しない場合 (③) は、 M_s も共に劣化する場合 (②) より H_c と Δ が減少し、 J_{c0} が増加することがわかった。実験結果の H_c 減少は、 H_k のみが減少する場合と関係するかもしれない。一方、 M_s のみが減少する場合 ④ には、 H_c 、 Δ 、 J_{c0} の大きな変化が見られないことがわかった。

[1] Iba et al., VLSI Tech. Dig. 2014, p74. [2] J. H. Kim et al., VLSI Tech. Dig. 2014, p76. [3] K. Ito et al., Jpn. J. Appl. Phys. 04DM01 (2015). [4] W.E et al., Phys. Rev. B 66, 052301 (2002). [5] Web [http://www.fujitsu.com/global/about/resources/news/press-releases/2013/1210-01.html].

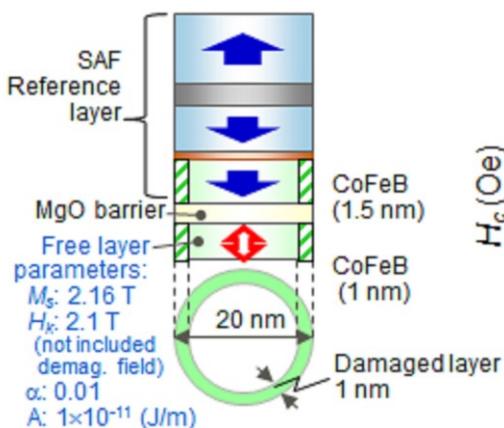


Fig. 1 Schematic diagram of the perpendicular MTJ with damaged layer.

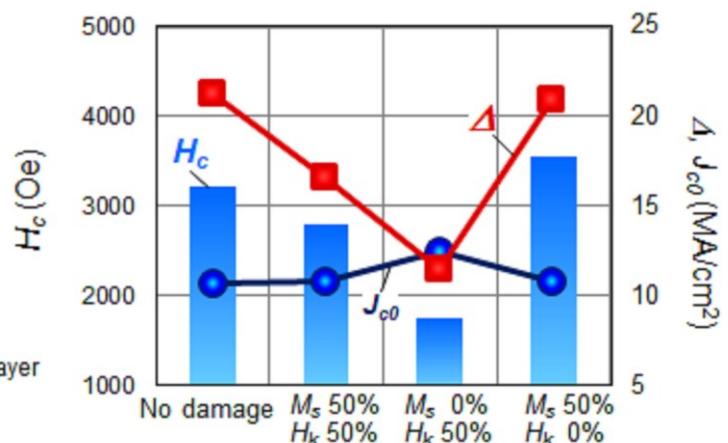


Fig. 2 The effects of various kind of perimeter damages on H_c , J_{c0} , and Δ .