

AQFP/CMOS ハイブリッドメモリシステムの動作実証および

AQFP 16-bit MUX の低面積化

Demonstration of an AQFP/CMOS hybrid memory system and reduction of circuit area of an AQFP 16-bit MUX

横浜国大院工¹, [○](M1)大熊 幸寛¹, 山梨 裕希¹, 吉川 信行¹

Yokohama Nat'l Univ.¹, [○]Yukihiro Okuma¹, Yuki Yamanashi¹, Nobuyuki Yoshikawa¹

E-mail: okuma-yukihiro-gz@ynu.jp

断熱型磁束量子パラメトロン (Adiabatic Quantum-Flux-Parametron: AQFP) 回路は低消費電力性、高速動作性、高感度性に優れ、CMOS 回路に代わる回路として期待されている[1]。しかし、AQFP 回路は集積度が低いという課題を抱えており、AQFP 回路のみでの大規模回路の作製は困難である。そこで我々は AQFP 回路と CMOS 回路を組み合わせた AQFP/CMOS ハイブリッドメモリを提案している。今回提案する AQFP/CMOS ハイブリッドメモリは、定数値を AQFP 回路に供給する書き換え可能な ROM として開発した。メモリは、CMOS 回路で構成されるデコーダとメモリセル、ならびに AQFP 回路で構成されるセンス回路からなる。今回測定したメモリシステムの回路図を Fig. 1 に示す。本提案では CMOS メモリセルの読み出し用電源電圧を低電圧化し、メモリシステムの低電力化を図った。測定結果を Fig. 2 に示す。センス回路の AQFP 回路は微小電流を検出可能なので、CMOS メモリからの出力電流を極めて小さく出来るため、大幅な低消費電力化が可能である。また、AQFP/CMOS ハイブリッドシステムで用いる AQFP 16-bit MUX の設計を行った。今回設計した回路のレイアウト図を Fig. 3 に示す。バイアス線を共通化することで面積を削減することに成功した。発表ではハイブリッドメモリと AQFP 16-bit MUX の詳細と測定結果について報告する。

謝辞

本研究はJSPS 科研費 26220904 の助成を受けたものである。本研究に使用されたデバイスは、産業技術総合研究所(AIST)の超伝導クリーンルーム(CRAVITY)において作成された。CMOS チップ試作は VDEC を通し ローム(株)および凸版印刷(株)の協力で行われた。

参考文献

[1] N. Takeuchi, et al.: Supercond. Sci. Technol., Vol. 26 (2013) p.035010

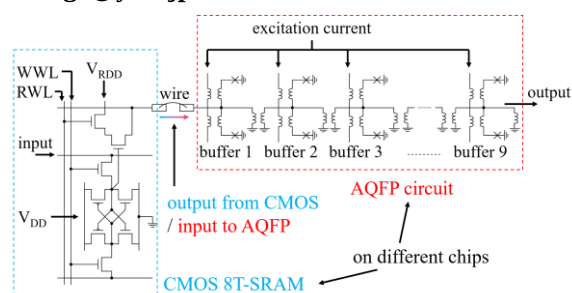


Fig. 1 Circuit schematic of an AQFP/CMOS hybrid memory

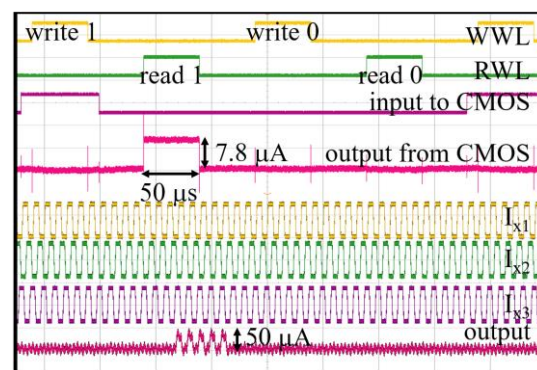


Fig. 2 Measurement result of an AQFP/CMOS hybrid memory

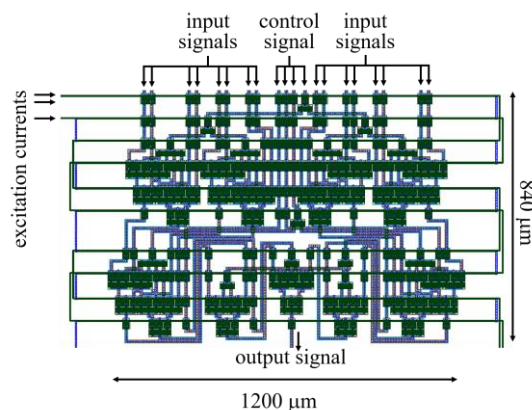


Fig. 3 Layout of an AQFP 16-bit MUX