

## 縦型 TFET の性能に及ぼすパラメータの影響の評価

## Impacts of Device Parameter Values on the Performance of Vertical TFET

関西大シス理工<sup>1</sup>, ○蔣焜煒<sup>1</sup>, 森義暁<sup>1</sup>, 佐藤伸吾<sup>1</sup>, 大村泰久<sup>1</sup>, カルカッタ大<sup>2</sup>, Abhijit Mallik<sup>2</sup>Kansai Univ.<sup>1</sup>, ○Yy.Jiang<sup>1</sup>, Y. Mori<sup>1</sup>, S. Sato<sup>1</sup>, Y. Omura<sup>1</sup>, Univ. Calcutta<sup>2</sup>, Abhijit Mallik<sup>2</sup>E-mail: {k887810, satos, [omuray](mailto:omuray@kansai-u.ac.jp)}@kansai-u.ac.jp, Abhijit\_mallik1965@yahoo.co.in

[はじめに] 高性能が見込まれる縦型 TFET[1] による集積回路をシミュレーションするためにはデバイスモデルが不可欠である。本報告では、それに向けて縦型 TFET の主要構造パラメータと  $I_d$ - $V_g$  特性の関係の考察結果を報告する。

[素子構造] p 型ソースのドーピング濃度は  $1e20 \text{ cm}^{-3}$ 、n 型ドレインのドーピング濃度は  $1e20 \text{ cm}^{-3}$ 、n 型チャンネル領域のドーピング濃度は  $1e16 \text{ cm}^{-3}$  である。N 型チャンネル領域厚さ( $T_n$ )を  $2 \text{ nm} \sim 4 \text{ nm}$ 、ゲート  $\text{SiO}_2$  膜の厚さ( $T_{ox}$ )を  $1 \text{ nm} \sim 2 \text{ nm}$  として動作特性を計算した。ゲート電極の仕事関数は  $3.2 \text{ eV}$  とした。

[シミュレーション結果・考察] 図 2(a)に示すように、 $T_n$  が増加すると  $I_d$ - $V_g$  特性が負電圧方向にシフトする。これは閾値電圧が低下することを示唆するが、同時にドレイン電流値も減少する。これは、 $T_n$  が増加すると表面 n 型層内の電子状態密度が増加して閾値電圧は低下するが、pn 接合部の電界強度が上昇しにくくなるためにトンネル電流が低下する。図 2(b)は規格化相互コンダクタンス( $G_m$ )の  $V_g$  依存性を  $T_n$  をパラメータとして示している[2]。

$$G_m = (\partial I_d / \partial V_g)(V_g - V_m) / I_d$$

曲線のピーク値の電圧が閾値電圧である。 $T_n$  が増加すると閾値電圧は  $1.08 \text{ V} \rightarrow 0.40 \text{ V}$  まで低下し、閾値電圧より  $1 \text{ V}$  高い  $V_g$  に対応する電流は、 $0.99 \mu\text{A} \rightarrow 0.18 \mu\text{A}$  と線形的に低下した。

図 3(a)に、 $I_d$ - $V_g$  特性に対する  $T_{ox}$  の影響を示す。図 3(b)に示す  $G_m$  特性の計算結果から、 $T_{ox}$  が  $1 \text{ nm} \rightarrow 2 \text{ nm}$  と増加すると、閾値電圧は  $0.086 \text{ V} \rightarrow 1.078 \text{ V}$  と上昇する。閾値電圧より  $1 \text{ V}$  高い  $V_g$  に対応する電流は  $0.74 \mu\text{A} \rightarrow 0.99 \mu\text{A}$  と微増した。 $T_{ox}$  の薄層化は閾値電圧の低下に有効であるが、電流には大きな影響を与えない。

以上の結果から、縦型 TFET の性能を向上させるには、チャンネル領域厚さ  $T_n$  を厚くすることより、絶縁膜厚さ  $T_{ox}$  を薄くする方が効果的であることが分かる。これらの点を考慮して縦型 TFET のモデルを構築し、高速動作低エネルギー回路を実現するためのシミュレーションを実施する必要がある。

[謝辞] 本研究の一部は、文部科学省私立大学戦略的研究基

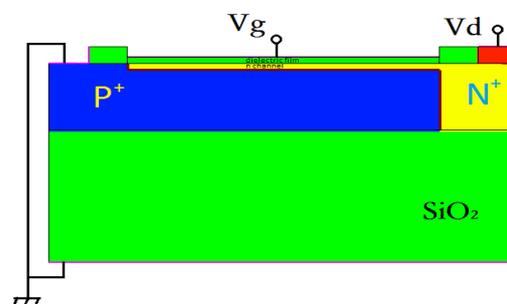
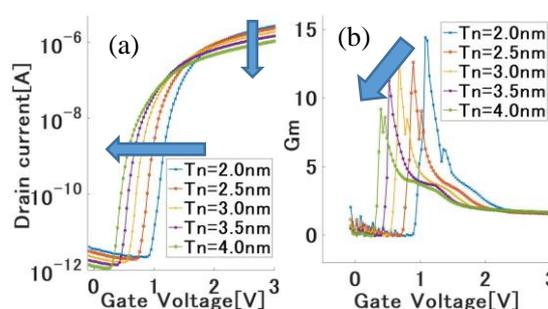
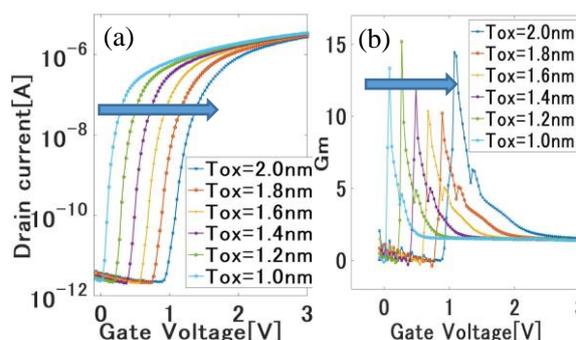


図 1. 想定した縦型 TFET の構造

図 2.  $T_n$  の変化 ( $2 \text{ nm} \rightarrow 4 \text{ nm}$ ) による特性の変化 [ $T_{ox} = 2 \text{ nm}$ ] (a)  $I_d$ - $V_g$  特性, (b)  $G_m$  関数図 3.  $T_{ox}$  の変化 ( $1 \text{ nm} \rightarrow 2 \text{ nm}$ ) による特性の変化 [ $T_n = 2 \text{ nm}$ ] (a)  $I_d$ - $V_g$  特性, (b)  $G_m$  関数

盤形成支援事業 (平成 27 年～平成 31 年)「3 次元ナノ・マイクロ構造の創成とバイオメテックス・医療への応用」により実施した。又、本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社の協力で行われたものである。

## 参考文献

- [1] A. Mallik, Avik Chattopadhyay, and Y. Omura, "A Gate-on-Germanium Source (GoGeS) Tunnel Field-Effect Transistor Enabling Sub-0.5-V Operation", Jpn. J. Appl. Phys., vol. 53, pp. 104201-104208, 2014.
- [2] Y. Mori, S. Sato, Y. Omura, A. Chattopadhyay, and A. Mallik, "On the Definition of Threshold Voltage for Tunnel FETs", Superlat. & Microst., vol. 107, pp. 17-27, 2017.