

トンネルトランジスタ容量特性のインバータ回路性能への影響

Impact of Tunnel FET CV characteristics on inverter circuit performance

東芝研究開発センター °田中千加, 棚本哲史、小山正人

Toshiba Corporation, °Chika Tanaka, Tetsufumi Tanamoto, and Masato Koyama

E-mail: chika.tanaka@toshiba.co.jp

トンネルトランジスタ (TFET) は、その S/D 非対称構造に起因して通常の MOSFET とは異なるゲート容量 - ゲート電圧 (CV) 特性を示す。CV 特性のしきい値 (V_{th}^{CV}) が強いドレイン電圧 (V_d) 依存性を持つことが特徴的であり、 V_d 増加と共に V_{th}^{CV} が深くなり実効的なゲート容量が減少することが報告されている[1]。さらに、TFET ではゲート・ドレイン間容量 (C_{gd}) とゲート・ソース間容量 (C_{gs}) の非対称性に起因したミラー効果が MOSFET よりも大きくなることが知られており、回路動作遅延への影響が懸念されていた。しかしながら、容量特性を含めた MOSFET との比較における定量的な議論は行われていない。本検討では、TFET CV 特性の V_d 依存性が回路性能に及ぼす影響を、コンパクトモデルをベースに、回路シミュレーションにより検討した。用いたコンパクトモデルは、TFET の大きな特徴ともいえるバンド間トンネル電流による急峻なサブスレッショルド特性を物理的な描像で記述し、その他のリーク電流を従来の MOSFET モデルのひとつである BSIM で記述した 2 つのモデルを並列接続したモデルである[2]。今回シミュレーションに用いた TFET は短チャネル効果が排除できる $L=120\text{nm}$, $W=1\mu\text{m}$, $t_{ox}=3\text{nm}$ であり、TCAD による DC 特性を再現することを確認している。CV 特性は BSIM モデルをベースに記述しており、本検討では BSIM4 パラメータ "VOFFCV" に V_d 依存性を実装した ($\text{VOFFCV}(V_d)=f(V_d)$)。回路シミュレーションには SmartSpice[3]を用いた。

図 1 に "VOFFCV" の V_d 依存性有無における C_{gg} - V_g 特性のシミュレーション結果を示す。図 1(a) の従来 MOSFET CV 特性とは異なり、図 1(b) では TFET CV 特性の特徴である V_d 印加による V_{th}^{CV} シフトを表現できる。ここで、AC パラメータ ("VOFFCV") 調整による DC 特性への影響が無いことを確認している。図 2(a) に 2 段インバータ (負荷容量 $C_L=0$) の出力波形を示す。 C_{gg} の V_d 依存性を考慮することで TFET 回路の出力波形が急峻になり、オーバーシュートも緩和した。TFET 固有の CV 特性が実効的な容量低減をもたらし、結果的に回路動作が早くなることを示している。図 2(b) に示すインバータ遅延の動作周波数 (f) 依存性から、 $f=25\text{KHz}$ では TFET のインバータ遅延が MOSFET よりも小さく、 $f=25\text{MHz}$ では約 4% 縮小することがわかった。さらに、TFET 回路のターゲット動作周波数である $f<25\text{KHz}$ では両者の差はほとんど無い。TFET 回路ではミラー効果が動作遅延を引き起こすと考えられていたが、図 2(b) の結果は TFET 駆動力とゲート容量のトレードオフにおいて実効的なゲート容量低減が効果的に働き、S/D 非対称構造に起因する CV 特性がインバータ回路動作遅延に影響を及ぼさないことを示唆している。

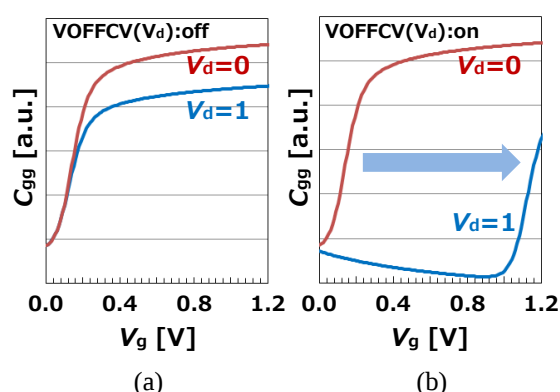


図 1. CV しきい値の V_d 依存性有無における C_{gg} - V_g 特性のシミュレーション結果。(a) VOFFCV に V_d 依存性無 (従来)、(b) VOFFCV に V_d 依存性有。

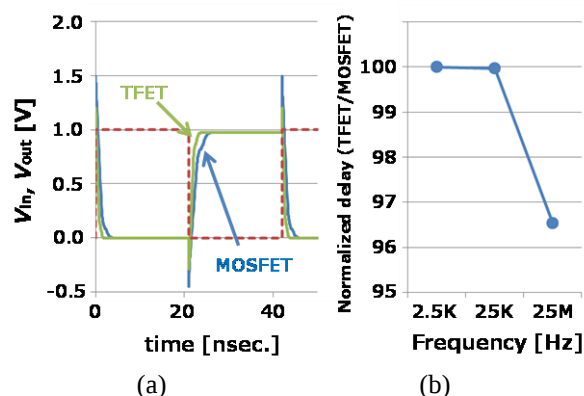


図 2. (a) 2 段インバータ (負荷容量 $C_L=0$) の出力波形比較、(b) MOSFET インバータ遅延で規格化した TFET インバータ遅延の動作周波数 (f) 依存性。

謝辞 本研究は、戦略的創造研究推進事業 CREST の研究領域「素材・デバイス・システム融合による革新的ナノエレクトロニクスの創成」における研究課題「極低消費電力集積回路のためのトンネル MOSFET テクノロジーの構築」の枠内で行われた。**参考文献** [1] S. Mookerjee *et al.*, EDL 30, p.1102 (2009). [2] C. Tanaka *et al.*, J. EDS. p.273 (2016). [3] Silvaco, <https://www.silvaco.com/>.