

急峻な SS を持つ PN-Body Tied SOI FET におけるヒステリシス特性

Characterization of Hysteresis on Super Steep SS PN-Body Tied FET

○井上 惺太, 井田 次郎, 森 貴之, 吉田 貴大

Kanazawa Institute of Technology, °Shota Inoue, Jiro Ida, Takayuki Mori, Takahiro Yoshida

E-mail: ida@neptune.kanazawa-it.ac.jp

1. はじめに

急峻なサブスレッショルド特性(Subthreshold Slope : SS)を持つデバイスは極低消費電力用 LSI の実現には必要不可欠である。しかし、従来の MOSFET において SS の理論下限は室温で約 60mV/dec である。これまでに、我々は SOI をベースにした FET に着目し理論下限を下回る SS を持つ新構造 PN-Body Tied(PNBT)構造を報告している[1]。本稿では、スイッチングデバイスにとって非常に重要な問題であるヒステリシス特性に関して実測を行った。その結果から、ヒステリシス窓が従来の Floating Body(FB)と Body Tied(BT)より新構造 PNBT の方が小さいことを確認した。

2. 測定結果

使用したデバイス構造は、Gate 酸化膜 $T_{ox}=44\text{nm}$ 、埋め込み酸化膜厚 $T_{BOX}=200\text{nm}$ で $0.2\mu\text{m}$ SOI テクノロジーによって作成したものである。また、図 1 に示す PNBT 構造に関しては FB 部の Body 部分に PN 接合を接続した構造で N 層濃度は約 $1e17\text{cm}^{-3}$ となっている。図 2 に PNBT 構造の往復測定から得られたヒステリシス特性を示す。図 2 より、Body 電圧が 1.05V 以上印加することでヒステリシス窓が大きくなるのと同時にドレイン電流が急峻に立ち上がっていることがわかる。図 3 に FB、BT、PNBT 構造におけるヒステリシス窓をドレイン電流の I_{on}/I_{off} 比で比較した結果を示す。図 3 より PNBT 構造は、測定した構造の中で最もドレイン電流の I_{on}/I_{off} 比に対するヒステリシス窓が小さく、ヒステリシス特性が最も良いことが確認できる。

3. まとめ

今回の実測から、PNBT 構造のヒステリシス窓が従来の SOI デバイスより小さいことが分かった。さらに、PNBT 構造のヒステリシス窓は Gate 長や Body 部の N 層濃度及び N 層幅に依存する。今後はこの現象をより追及していく必要がある。

参考文献 : [1] J.Ida, T. Mori, Y. Kuramoto, T. Horii, T. Yoshida, K. Takeda, H. Kasai, M. Okihara and Y. Arai: Super Steep Subthreshold Slope PN-Body Tied SOI FET with Ultra Low Drain Voltage down to 0.1V, IEDM Tech. Dig. pp.624, 2015.

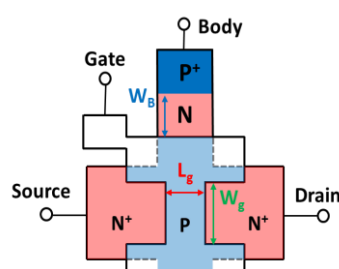


図 1 PNBT の構造図

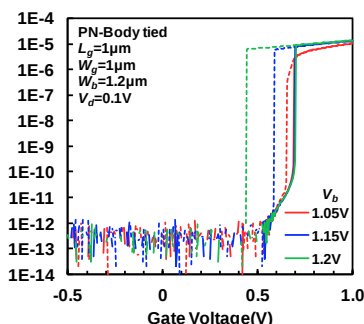


図 2 PNBT 構造のヒステリシス特性

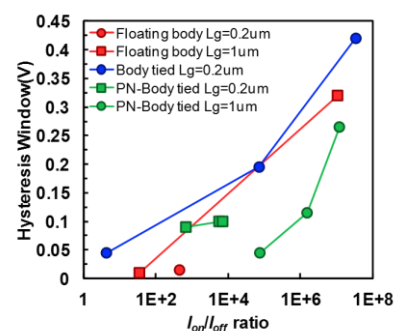


図 3 ヒステリシス窓の比較