急峻サブスレッショルドスロープ PN-Body Tied SOI FET の最適化に向けた MOS-Gated Thyristor の電圧ベース等価回路モデル

Voltage-based Equivalent Circuit Model of MOS-Gated Thyristor for Optimizing Steep Subthreshold Slope PN-Body Tied SOI FET

東大生研,[○](M1)植田大貴,竹内潔,小林正治,平本俊郎 IIS, Univ. of Tokyo, °(M1) Daiki Ueda, Kiyoshi Takeuchi, Masaharu Kobayashi, and Toshiro Hiramoto E-mail: d.ueda@nano.iis.u-tokyo.ac.jp

【はじめに】PN-Body Tied SOI FET (PNBTFET)は近年提案された新構造のトランジスタであり、0.05 V という極 低ドレイン電圧下で6mV/dec以下の非常に急峻なサブスレッショルドスロープ(SS)を示している[1-3]. PNBTFET は SOI MOSFET を基に P 型と N 型の領域を持つボディタイが追加された構造(Fig. 1)で,ボディタイ先端のボディ 端子から正孔を注入することで基板浮遊効果を発生させ急峻な SS を得ている.先行研究では PNBTFET に内在す る MOS-Gated Thyristor (MGT)によって正孔の急激な注入が引き起こされると指摘されている[1]. MGT は P 型領 域に MOS ゲートが載った PNPN 構造(Fig. 2)で, PNBTFET のソースからボディ端子までの構造に相当する. MGT は PNPN 構造に起因する電子電流と正孔電流のフィードバック機構を持ち、それによって急激なスイッチング特 性を得ている。我々は MGT に着目し、そのスイッチング動作の原理をより明確に説明するため MGT の等価回路 のモデル化を行った[4]ので報告する.

【モデル化手法】我々が提案した電流ベース等価回路モデル(Fig. 3)は Electron Current Inverter (ECI)と Hole Current Inverter (HCI)で構成される。ECI は入力として P 型領域の電位 V_Pとゲート電圧 V_G,出力として N 型領域の電位 V_N を持ち、その電圧応答は MGT において V_P または V_G の変化が電子電流を介して V_N に与える影響を表す。HCI は入力 V_N と出力 V_P を持ち、その電圧応答は V_N の変化が正孔電流を介して V_P に与える影響を表す。ECI と HCI はクロスカップリングされており、これにより MGT のフィードバック機構が再現される.また、ECI と HCI の挙 動をシミュレーションによって調べるためにそれぞれの TCAD モデルを設計した(Fig. 4).ECI モデルと HCI モデ ルは等価回路モデルに対応する MGT に基づいた構造を持つが, ECI モデルでは N 型領域が延長されており, これ により PNP トランジスタの影響を排除し, ECI の回路を近似的に再現する。同様に HCI モデルでは NPN トラン ジスタと MOSFET の影響を排除するため P 型領域が延長され,さらに MOS ゲートが取り除かれている.

【計算結果】MGTの VGに対する電流特性のシミュレーション(Fig. 5)ではヒステリシスを伴った急激なスイッチ ング特性が見られた. この MGT に対応する等価回路モデルの ECI および HCI の TCAD モデルの V_P-V_N特性のシ ミュレーション結果を Fig. 6 に示す. ECI と HCI がクロスカップリングされた等価回路モデルにおいては、Vpと V_Nは ECI と HCI の V_P-V_N特性曲線の交わる安定点上に落ち着く. ECI の V_P-V_N特性は V_Gによって変調され,安 定点は V_Gの変化に応じて移動,発生または消滅する. V_G=0.5V に見られる双安定状態から V_Gの変化によって一 方の安定点が消滅するとき V_Pと V_Nが他方の安定点へ瞬間的に遷移する.このように提案した等価回路モデルに よって MGT の急激なスイッチング動作が説明されることを確認した.

【結論】MGTの電圧ベース等価回路モデルを構築した.このモデルは急峻スロープ FET の最適化に有用である. 【参考文献】[1] J. Ida, et al., IEDM, p. 624, 2015. [2] T. Horii, et al., Silicon Nano Workshop, p. 148, 2016. [3] T. Yoshida, et al., IEEE S3S Conf., 6a.4, 2016. [4] D. Ueda, et al., Silicon Nano Workshop, p. 13, 2017.



Fig. 1 Schematic illustration of PNBTFET



Fig. 42D TCAD models for (a) ECI and (b) HCI

Fig. 2 Schematic cross-section of MGT



Fig. 5 Simulated anode current vs. V_G in MGT



Fig. 3 Proposed equivalent circuit model of MGT



Fig. 6 Simulated transfer curves of ECI and HCI with varying V_G