強磁性トンネル接合を用いた不揮発性 SRAM の待機時電力削減能力

Static-power reduction ability of nonvolatile SRAM with magnetic tunnel junctions 北形大樹,山本修一郎, 菅原聡, 東工大未来研

D. Kitagata, S. Yamamoto, and S. Sugahara, FIRST, Tokyo Inst. of Tech. E-mail: kitagata.d@isl.titech.ac.jp

【はじめに】最近のマイクロプロセッサやシステムオンチップ(SoC)には, 待機時消費電力の削減のため,パワーゲーティング(PG)が用いられて いる[1]. PG では待機状態にあるドメインの電源遮断における空間的・ 時間的粒度を最適化することによって電力削減効率を高めることが重 要である.しかし、CMOS ロジック内の記憶回路が揮発性であることがこ の粒度すなわちPGのエネルギー削減効率に制限を与えている. そこで, 我々はプロセッサや SoC のコアにも適合できる細粒度 PG を実現するた め,不揮発性双安定回路を用いた PG (NVPG)の検討を進めている[2]. これまでに,図1の回路構成をもつ不揮発性 SRAM (NV-SRAM)の設 計法を確立し,各種アーキテクチャの導入により PG の性能指標となる 損益分岐時間(Break-even time; BET)がコアレベルの PG に十分適合 する値となることを示した[3,4]. BET はエネルギーの削減が可能となる 最小の電源遮断時間を表す性能指標であるが, BET 以上に電源遮断 したときのエネルギー削減値について定量的な情報を与えない. 今回 は BET より十分に長い電源遮断を行った場合における NV-SRAM の 電力削減効果を解析した.

【計算方法】解析に用いたベンチマークシーケンスは以前に BET の解析に用いたものと同一である. NV-SRAM の全記憶セルに対して読み出しと書き込みを n_{RW} 回繰り返し, その後電源遮断を行うときにだけ, MTJ への書き込みを行い(以後, ストア動作と呼ぶ), 必要な電源遮断

を行った後,情報を双安定回路に書き戻し(リストア動作),電源を復帰 する.以上を1サイクルとし,そのスタティックエネルギーの総和にストア /リストア動作に要するエネルギーを加えたものを全所要時間で平均し た電力(P's,ave)を評価に用いた.比較のための 6T-SRAM では NV-SRAM と同様に読み出し/書き込みを行い,その後,直ちにスリー プ動作(双安定回路の情報が失われない程度に電源電圧を低くしてデ ータを保持する動作モード)を行うものとした.アレイサイズは 16KB, 256KB,1MB とし,これらは8KB のサブアレイによって構成した.

【**解析結果】**図 2 に n_{RW}=10, アレイサイズ 16KB における P'_{s.ave}の電源 遮断時間(τ_{SD})依存性を示す. 実線が NV-SRAM, 点線が 6T-SRAM の 場合である.また,同図にはセルアレイと周辺回路のみの解析結果も 示してある. 6T-SRAM と NV-SRAM のグラフの交点が BET となる. NV-SRAM はストア/リストア動作(MTJ への書き込み/双安定回路への 書き戻し動作)にともなう余剰エネルギーのためτspがBETより短ければ、 電源遮断をすることで余計にエネルギーを消費するが、長ければ電源 遮断によりエネルギーを削減できる.また,BET より十分時間がたった 時点での P'save は低電圧でデータ保持を行っている 6T-SRAM に比べ て, NV-SRAM は遮断状態であるため, P'_{s,ave} は小さくなる. さらに, 遮 断状態である NV-SRAM では、パワースイッチをより深く遮断してリーク を大幅に削減するスーパーカットオフ技術(SC)[5]を導入することができ る. 図3にSCをセルアレイに導入したときのP's.aveを示す.SCによって 仮想電源電圧(VVDD)が下がり、P's.ave をさらに削減できる. ただし, この 効果は周辺回路のリークに律速される(図 3 では,周辺回路は通常の PG で電源遮断している). 図4 に示すように周辺回路にも SC を導入す ると, 大幅な P's.ave の削減が可能になる. 例えば, パワースイッチを 1.35V で駆動する SC の場合では、従来の 6T-SRAM と比較して 2 桁程 度の電力削減が可能となる. 256KB、1MB でも同様の結果が得られ た.

【謝辞】本研究内容の一部は科研費(基盤 A)の支援を受けた. シミュレ ーションは東京大学大規模集積システム設計教育センター(VDEC)を 通しシノプシス株式会社の協力で行われたものである.



図 1 NV-SRAM セルの回路構成.



図 2 NV-SRAM と 6T-SRAM に おける *P*'_{s,ave}のτ_{SD}依存性.



図3セルアレイのみにSCを導入した場合における $P'_{s,ave}$ の τ_{SD} 依存性.



図 4 セルアレイおよび周辺回路 に SC を導入した場合における P'_{save}のτ_{SD}依存性.

【参考文献】[1]Y.Kanno *et al.*, IEEE J. Solid-State Circuits, **42**, 1, pp. 74-83, 2007. [2]Y.Shuto *et al.*, J. Appl. Phys., **105**, 07C933, 2009. [3]Y.Shuto *et al.*, proc. IEEE ESSCERC 2016. [4]D.Kitagata *et al.*, proc. ICD 2017. [5]H.Kawabuchi *et al.*, proc. ISSCC, FP 12.4, 1998.