

Ga ドープ $\text{Si}_{1-x}\text{Sn}_x$ 薄膜の結晶成長と電気特性評価Crystal growth of Ga-doped $\text{Si}_{1-x}\text{Sn}_x$ films and its electrical properties¹名大院工, ²名大高等研究院, ³JST さきがけ, ⁴名大未来研,○稲石優¹, 黒澤昌志^{1,2,3}, 中塚理¹, 財満鎮明^{1,4}¹Grad. Sch. of Eng., Nagoya Univ., ²IAR, Nagoya Univ., ³PRESTO-JST, ⁴IMaSS, Nagoya Univ.,○Yu Inaishi¹, Masashi Kurosawa^{1,2,3}, Osamu Nakatsuka¹, and Shigeaki Zaima^{1,4}

E-mail: kurosawa@alice.xtal.nagoya-u.ac.jp

[はじめに] 光通信帯域に適合する光学材料[1], トンネル電界効果トランジスタの p 型ソース材料, および熱電変換材料[2]として $\text{Si}_{1-x}\text{Sn}_x$ 混晶半導体に注目が寄せられている. これまでに我々は, InP(001)上において, 平衡固溶限を大きく超える高 Sn 組成 $\text{Si}_{1-x}\text{Sn}_x$ ($x = 0.4$) 薄膜の固相成長に成功し, そのエネルギーバンド構造を明らかにした[3]. 加えて, Undoped $\text{Si}_{0.8}\text{Sn}_{0.2}/\text{n-Ge}(001)$ 構造で整流特性を示すことから, Undoped $\text{Si}_{0.8}\text{Sn}_{0.2}$ 薄膜の伝導型は p 型であることも分かっている[4]. 前述のデバイス応用のためには, $\text{Si}_{1-x}\text{Sn}_x$ 薄膜のキャリア濃度を所望の値に制御する必要があるが, その詳細は明らかとなっていない. そこで今回, 固相成長法により形成した Ga-doped $\text{Si}_{1-x}\text{Sn}_x$ 薄膜のキャリア濃度を調査した.

[実験方法] $\text{Si}_{1-x}\text{Sn}_x$ 薄膜の電気特性を抽出するため, 本研究では高抵抗 (抵抗率 $> 1000 \Omega\text{cm}$) の n 型 Si(001)基板を用いた. 表面清浄化した基板上に, Ga-doped 非晶質 $\text{Si}_{1-x}\text{Sn}_x$ 薄膜 (膜厚: 50 nm) を分子線堆積法により室温形成した. スパッタリング法により SiO_2 層 (膜厚: 10 nm) でキャップした後, 窒素雰囲気中において熱処理 (220–900°C, 1 s–5 h) を行い結晶化を誘起した. 作製した試料の組成を Table 1 にまとめる.

[実験結果] 様々な温度で熱処理後, Hall 効果測定を行った. シート抵抗の熱処理温度依存性を Fig. 1 に示す. 熱処理温度が低い場合には, 試料のシート抵抗は Si 基板とほぼ同じ値 ($\sim 10^5 \Omega/\square$; Fig. 1 中の白抜きの記号) になる. これは, 伝導型が n 型を示したことから, $\text{Si}_{1-x}\text{Sn}_x$ の結晶化が不十分で抵抗が高く, Hall 効果測定時の電流のほとんどが Si 基板に流れたためと推測している. 熱処理温度が増加し, ある臨界の温度を超えるとシート抵抗が $\sim 10^4 \Omega/\square$ 付近まで低下する. Sn 組成が高いほど, その臨界の温度は増加する傾向が見られた.

伝導型が p 型を示した試料の Hall 正孔濃度を Fig. 2 に示す. 熱処理温度の低温化に伴い, Hall 正孔濃度が増加する傾向にあり, 450°C においては $3 \sim 6 \times 10^{19} \text{cm}^{-3}$ となった. 当日の講演では, Sn 組成が正孔濃度やバンド構造に与える影響などを明らかにする予定である.

[謝辞] 本研究の一部は, JSPS 科研費・基盤研究(S) (No. 26220605) および JST さきがけの研究助成により実施されました. 参考文献 [1] For example, R. A. Soref and C. H. Perry, J. Appl. Phys. **69**, 539 (1991). [2] S. N. Khatami and Z. Aksamija, Phys. Rev. Applied **6**, 014015 (2016). [3] 加藤ら, 第 76 回応用物理学会秋季学術講演会, 13p-2W-14 (2015). [4] M. Kurosawa *et al.*, presented at JSPS-FZ-Juelich Workshop: Atomically Controlled Processing for Ultra-large Scale Integration, Germany, 24 Nov. 2016.

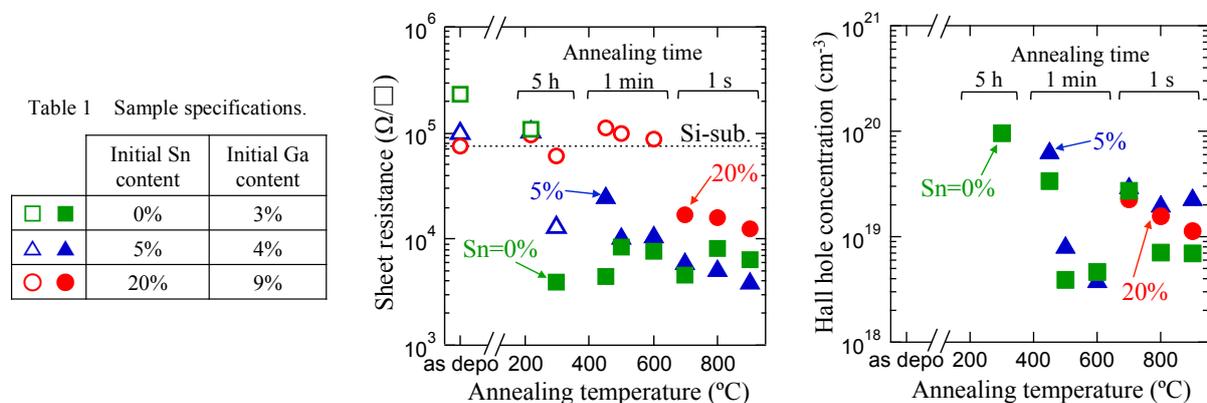


Fig. 1 Annealing temperature dependence of sheet resistance for Ga-doped $\text{Si}_{1-x}\text{Sn}_x$ layers.

Fig. 2 Annealing temperature dependence of Hall hole concentration for Ga-doped $\text{Si}_{1-x}\text{Sn}_x$ layers.