

多並列接続 Cu-MoO_x-Al 抵抗変化型メモリのアナログメモリ動作

Analog memory operation of parallel connected Cu-MoO_x-Al

resistance change memory

九工大・生命体工¹, 北大・院情報²,

原田將敬¹, 安藤秀幸¹, 森江隆¹, 勝村玲音², 福地厚², 有田正志², 高橋庸夫²

Kyushu Inst. Tech.¹, Hokkaido Univ.²,

M. Harada¹, H. Ando¹, T. Morie¹, R. Katsumura², A. Tsurumaki-Fukuchi², M. Arita², Y. Takahashi²

E-mail: morie@brain.kyutech.ac.jp

【背景・目的】 脳の情報処理機能を模倣した超並列処理を実行する脳型 AI チップの研究が盛んになっている。既存のデジタル方式よりも高集積で、低消費電力動作が可能になるアナログ集積回路での実現が期待されているが、そのための最大の課題は、省サイズ・低電力なアナログメモリ素子の実現である。我々は、これまでに MOSFET 上に MoO_x を用いた抵抗変化型メモリ (ReRAM) を集積し、アナログメモリ特性を評価してきたが[1], 素子毎、書き込み動作毎に特性ばらつきが大きいという問題があった。これはこの種のアナログメモリ素子共通の問題である。本研究では、この問題を低減する一手法として、素子の多並列接続化を検討した。

【実験方法】 図 1 に示すように、Si 基板上に nMOSFET (W/L=6/2μm) を作製し、平坦化処理した Al 電極開口部の表面に自然形成された Al₂O₃ を介して、20 nm 厚の MoO_x 薄膜を反応性スパッタ(室温、Ar-O₂, O₂:20%)により形成し、Cu 上部電極 (30 nm 厚), Pt (100 nm) を成膜し ReRAM 素子を作製した。この MOSFET-ReRAM 素子をそれぞれ 4,8,16 個並列接続した素子を試作し、図 2 に示すように、素子に外付けの抵抗 R (10kΩ) を直列に接続し、パルス発生装置によりパルスを印加して、オシロスコープにより ReRAM 素子-R 間ノード電位 (V_{re}) を測定した。

【実験結果】 高抵抗状態の 16 並列接続 ReRAM 素子において、図 3 挿入図に示す SET 用パルスおよび Read パルスを Vin および Vg に印加し、Read パルス印加時間内の V_{re} の平均値を求めた。書き込み時に印加する Vg(=Vg^(w))を 1 V から順に高くしていき、Vg^(w)毎の V_{re} を求めた。図 3 にその結果を示す。Vg^(w)を高くするにつれて ReRAM 素子の抵抗値が低下し、V_{re} が低下した。素子毎の抵抗値の変化量は異なるが、変化特性のバラツキはほとんど生じないことが確認できた。

【まとめ】 MOSFET-ReRAM 素子を並列接続することで、素子バラツキの影響を平均化して、SET 時の抵抗値をアナログ的に高精度に制御できることを確認した。

参考文献

[1] 富崎他, 第 76 回応用物理学会秋季学術講演会, 12-259, 15p-1C-5 (2015)

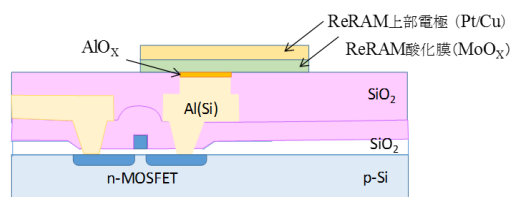


Fig. 1: MOSFET-ReRAM structure.

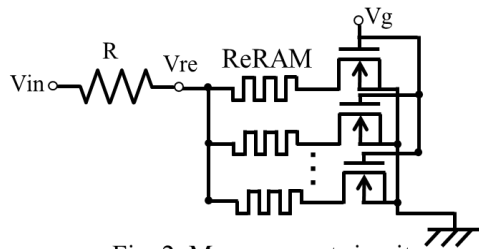


Fig. 2: Measurement circuit.

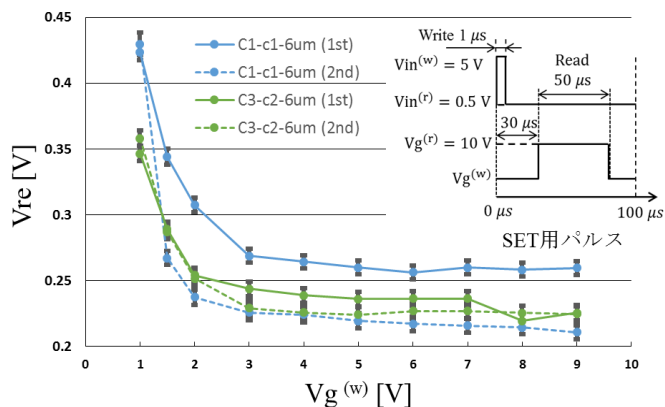


Fig. 3: Measurement results.