

AlGaIn/GaN HFET ドレインアバランシェ破壊の TCAD シミュレーション

TCAD Simulation of AlGaIn/GaN HFET Drain Avalanche Breakdown

㈱レーザーシステム¹, 日本シノプシス合同会社² *大野泰夫¹, 王 仲², 李 根三², 崔 愿哲²

Laser Systems Inc.¹, Nihon Synopsys G. K.² *Y. Ohno¹, Z. Wang², K. Lee² and W. Choi²

E-mail: ohno@lasersystems.co.jp

GaN 系 FET は、マイクロ波領域の高周波デバイスとして開発が進んでいるが、さらに高電圧のパワーデバイスとしても期待されている。高耐圧化の可能性を探るため AlGaIn/GaN HFET のドレイン破壊の様子をデバイスシミュレータを用いて解析した。

シミュレータは Synopsys 社の SENTAURUS DEVICE である。デバイス構造は 25nm の AlGaIn 層を持つ HFET で、ゲート長は $1\mu\text{m}$ 、ゲートドレイン間距離は $4\mu\text{m}$ を仮定した。(Fig.1) GaN 層はサイドゲート効果測定 [1]から推定された $4\times 10^{16}\text{cm}^{-3}$ のホールトラップ型アクセプタと $5\times 10^{15}\text{cm}^{-3}$ の浅いドナーを仮定して半絶縁性としている。解析では通常のドリフト拡散モデルに、実験で求めたインパクトイオン化係数 [2]を使用した。

ドレインを定電流源とした解析では、 $V_D=500\text{V}$ 付近をピークにした S 型負性抵抗を示し、高電流領域での電圧は 200V 程度まで低下する。定電圧印加の測定では何らかのトリガーで電流が負性抵抗ブランチに遷移し 200V 程度でもデバイスが破壊する可能性がある。

GaN 層に仮想的な GR センターを追加して生成再結合の時定数 τ を 10ps 以下と短くすれば S 型負性抵抗は消滅し 1000V 以上の高耐圧になる (Fig.2)。また、ソース側から埋め込み p 型層をチャネル直下にまで置くとやはり S 型負性抵抗は消滅し、高耐圧となる (Fig.3)。

負性抵抗状態ではソース・ドレイン間に電子とホールが共注入状態の低抵抗経路が形成され、これが電流暴走の原因となる。GR センターを導入し、ホールの消滅を加速することでこれを防ぐことは可能であるが、現実の GR センターは空間電荷を持つため周波数分散や電流コラプスなどを伴う。一方、ソースに短絡された高濃度 p 型層は、電子とホールの電流経路を空間的に分離することで共注入状態の発生を防ぐ。p 型層は基板効果や寄生容量などでトランジスタ特性を低下させる可能性はあるが、耐圧向上に効果的である。

[1] Y. Ikawa, *et.al.*, *Jpn. J. Appl. Phys.* 53 114302 doi:10.7567/JJAP.53.114302(2014)

[2] K. Kunihiro, *et. al.*, *IEEE Electron Device Letters*, Vol. 20, No. 12, pp. 608-610, (1999)

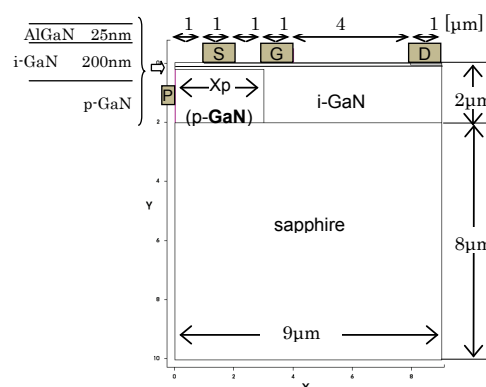


Fig.1 Simulated device structure

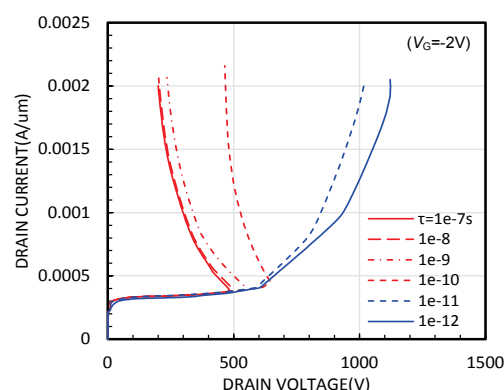


Fig.2 I_D - V_D characteristics for FETs with various GR time constants.

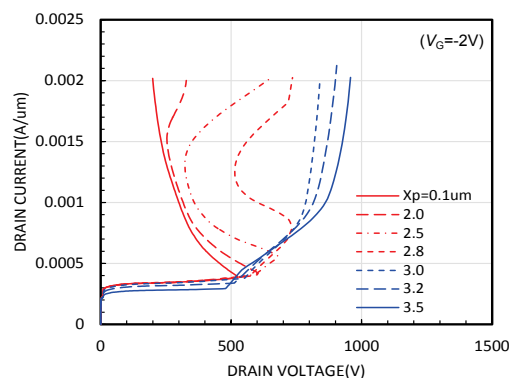


Fig.3 I_D - V_D characteristics for FETs with p-region which length (X_p) is varied.