

メタ表面ビーム偏向器によるごく薄い線形光論理ゲートの提案

Proposal of ultrathin linear optical logic gates based on a metasurface beam deflector

○北翔太^{1,2}, 新家昭彦^{1,2}, 高田健太^{1,2}, 野崎謙悟^{1,2}, 納富雅也^{1,2}

(1. NTT ナノフォトニクスセンタ, 2. NTT 物性研)

○S. Kita^{1,2}, A. Shinya^{1,2}, K. Takata^{1,2}, K. Nozaki^{1,2}, and M. Notomi^{1,2}

(1. NTT Nanophotonics Center, 2. NTT Basic Research Labs.)

E-mail: kita.shota@lab.ntt.co.jp

全光論理素子は古くからの重要な研究課題の一つであるが、その多くの場合で非線形光学効果を利用したものが提案されている¹⁾。出力が入力依存となることで論理演算が可能になるが、非線形光学効果を用いるにはその相互作用長に応じた素子長が必要であり、一般的に $10\ \mu\text{m}$ 以下の短尺化は難しい。一方、線形光学における干渉を利用した論理素子も数多く提案されている。線形光学ベースの場合、入力強度が微小でも一定の性能で動作し、省電力で済む。ただしバイナリコントラスト (BC) が原理的に制限される。現状ではプラズモニック導波路を用いた数 μm 長の論理素子を実現されているが²⁾、低損失を両立するものは未だに存在しない。

さらなる短尺化と低損失化のために、本研究ではメタ表面ビーム偏向器を用いた新たな線形光論理素子を提案する。提案構造を Fig. 1(a)に示す。台形アンテナアレイによるビーム偏向メタ表面の下部にスペーサ層と部分反射鏡を導入しており、総厚は $120\ \text{nm}$ 程度である³⁾。本デバイスは計 6 ポートをもつので、2つの信号光に加えて、更にもう 1 入力が可能である。この追加入力の干渉によって論理演算の BC を最大化するように操作できる (一方、ビームスプリッタは 4 ポートなので単体での同様な操作は不可)。 (a)を用いて効率的に AND 動作させる場合の光入出力の構成を (b)に示す。入力ポート A・B には相対強度 1 で互いに同相の光信号ビットを、バイアスポート D には相対強度が 0.66 で信号光と逆相の固定光を入力する。入出力光はいずれも波長 $633\ \text{nm}$ で電界成分を y 方向にもち、メタ表面上で多重干渉する。有限要素法シミュレーションにより得られた各入力時の E_y 分布を (c)に示す。出力ポート C から得られる出力が AND に近似するよう各層厚を $d_{\text{MS}} = 30\ \text{nm}$, $d_{\text{SP}} = 70\ \text{nm}$, $d_{\text{BPR}} = 18\ \text{nm}$ に調整した結果、A と B が同時に入力された場合のみ、ポート C への光出力が強まった。入力に対する出力を定量的に比較した表を (d)に示す。Au および Ag ($d_{\text{MS}} = 30\ \text{nm}$, $d_{\text{SP}} = 80\ \text{nm}$, $d_{\text{BPR}} = 10\ \text{nm}$) を材料に用いた場合を比較しているが、いずれの場合でも $BC \sim 9.5\ \text{dB}$ が得られる。(1, 1)入力時に出力が 1 で挿入損失ゼロと定義すると、吸収損失の小さな Ag を用いた場合は挿入損失が $1.5\ \text{dB}$ 程度となる。したがって、メタ表面を用いることで極めて短尺かつ低損失な線形光 AND ゲートが構成可能なことを示した。本ゲートはごく低遅延な光演算回路を構成する要素デバイスとなりうる⁴⁾。本研究は CREST, JST の支援を受けたものである。参考文献 1) P. Singh et al., *Adv. Opt. Tech.*, 275083 (2014). 2)例えば Y. Fu et al., *Nano Lett.* **12**, 5784 (2012). 3) 北ら, 秋季応物, 16a-B4-6 (2016). 4) 新家ら, 秋季応物, 14p-P14-11 (2016).

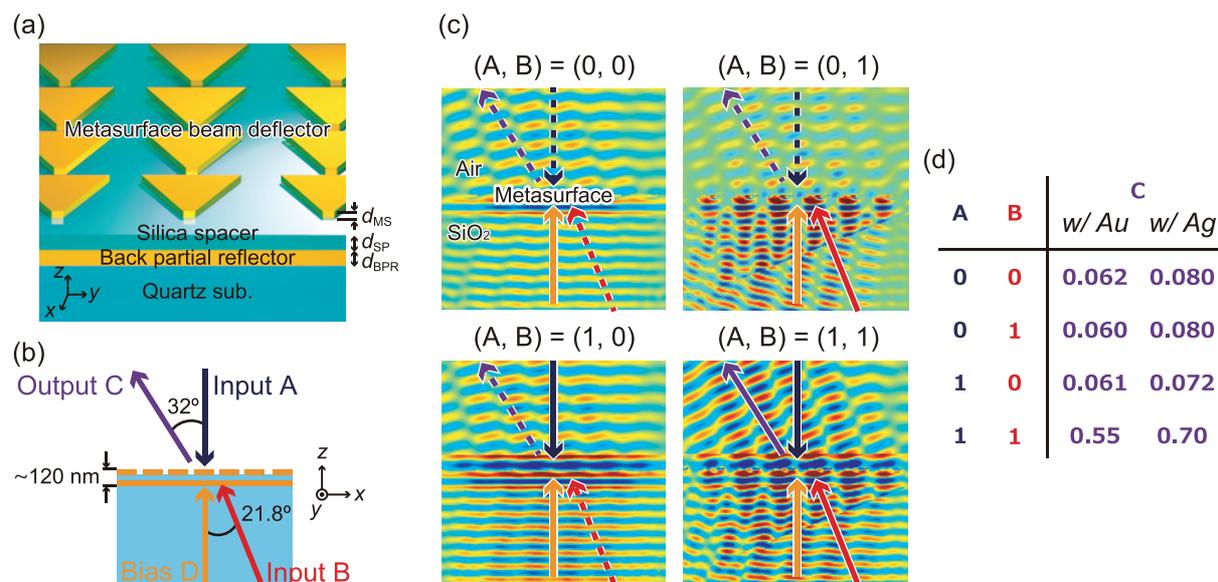


Fig. 1(a) Schematic of our proposed device (x and y spacing and length of the trapezoid antenna is respectively fixed to $1.2\ \mu\text{m}$, $0.2\ \mu\text{m}$, and $0.8\ \mu\text{m}$). (b) Schematic of the setup for AND logic operation. (c) Simulated E_y distribution with different input condition. Solid and broken arrows respectively denote whether the input or output is ON or OFF state. (d) Optical I/O table with different metals (Au and Ag).