

強誘電体 VDF/TrFE を用いたトップゲート型 MoS₂-FET 構造の作製 (2)

Fabrication of MoS₂-FET with top gate structure using ferroelectric VDF/TrFE (2)

金沢大¹, 東京理科大² 渡辺 貞宗¹, 清水 勝基¹, 中嶋 宇史², °川江 健¹

Kanazawa Univ.¹, Tokyo Univ. of Sci.², Sadamune Watanabe¹, Syoki Shimizu¹, Takashi Nakajima²,

°Takeshi Kawae¹

E-mail: kawae@ec.t.kanazawa-u.ac.jp

【はじめに】近年、Si に替わる半導体材料として二次元物質が注目されている。二硫化モリブデン(MoS₂)は二次元物質の中でも、単層で 1.8 eV のバンドギャップをもち、チャネルとして用いた FET 構造は 10⁸ の電流 on/off 比を示すことが報告されている^[1]。そこで、我々は MoS₂ チャネルの次世代半導体応用として 1T 型 FeRAM に注目した。1T 型 FeRAM とは、FET のゲート絶縁膜部分を強誘電体に置き換えた不揮発メモリである。1T 型 FeRAM はトランジスタと強誘電体キャパシタから構成される従来の 1T1C 型 FeRAM と比較して、非破壊読み出し動作であり、構成素子が少ないことから高集積化可能といった利点を有している。本研究では MoS₂ をチャネルとし、強誘電体ゲートとしてポリフッ化ビニリデン/三フッ化エチレン共重合体 (VDF/TrFE)を用いた 1T 型 FeRAM の作製を行った。また、作製した 1T 型 FeRAM のメモリ動作に関する検証を行った。

【実験方法】Si 基板に熱酸化法によって 240 nm の SiO₂ 膜を形成、剝離転写法によって MoS₂ を転写した。その後、フォトリソグラフィと、Pulsed Laser Deposition(PLD)法を用いて Ni をドレイン・ソース電極として形成した。ドレイン・ソース電極作製後、レジスト残渣除去のため H₂ アニールを行った。次に、膜厚 150 nm の VDF/TrFE をスピコート法によって堆積した。最後に、PLD 法を用いて Pt をゲート電極として堆積させた。電気特性評価には半導体パラメータアナライザ HP4156 を用い、室温・暗状態で測定を行った。

【結果と考察】Fig.1 に I_{DS} - V_G 特性を示す。観測された電流 on/off 比は $V_G = 0$ V において 10⁵ となり、 I_{DS} - V_G 曲線は反時計回りのヒステリシスループを描いた。これは VDF/TrFE ゲートの強誘電性に起因していると考えられる。また、VDF/TrFE ゲートにパルス電圧 V_{PG} を用いて残留分極の書き込みを行った後、 I_{DS} の読み出しを行った結果を Fig.2 に示す。DC 印加を必要としない残留分極による I_{DS} のオフ状態とオン状態を観測し、不揮発性メモリ動作を確認した。さらに、 $V_{PG} = 7$ V 以降において 1 V ごとに段階的に I_{DS} が変化していることから、多値メモリ動作も期待できる。

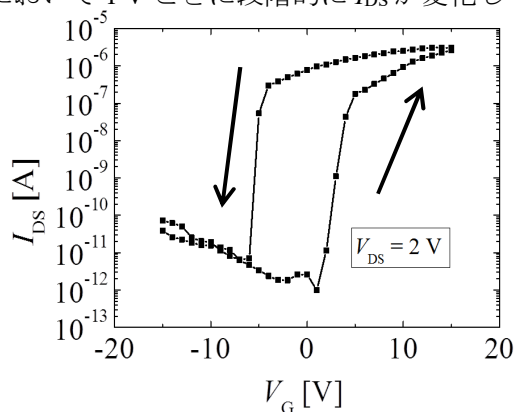


Fig.1. I_{DS} - V_G 特性

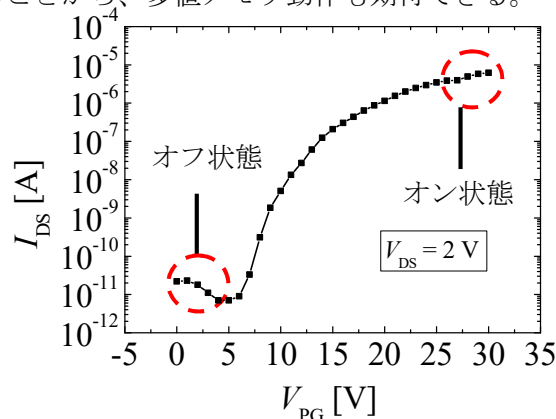


Fig.2. I_{DS} - V_{PG} 特性

【参考文献】 [1] B. Radisavljevic, *et al.*, Nature Nanotech. 6, 147-150 (2011)