

Zn 層挿入による Ga 添加 ZnO 膜の低抵抗化と均一化

Homogeneous and Low Resistivity Films of Ga-doped ZnO by Zn Layer Insertion

島根大総理工, °山田 容士, サンシャコグル オルクツ, 杉浦 怜, 正力 幹也, 船木 修平

Shimane Univ., °Yasuji Yamada¹, Orkut Sancakoglu, Motonari Shoriki, Rei Sugiura, Shuhei Funaki

E-mail: Yamadaya@riko.shimane-u.ac.jp

スパッタリング法による Ga 添加 ZnO (GZO) 透明導電膜の実用化へ向けた課題として、低抵抗率の膜を再現性よく形成することと、大面積に成膜した際の中心位置とエロージョン位置の特性の不均一性を解消することが挙げられる。私達は、室温成膜した GZO 膜を高温でアニールすることで、膜全体にわたって抵抗率が低減すること、および、エロージョン位置の低抵抗化が大きく不均一が大幅に改善することを明らかにしてきた。一方で、400℃以上のアニール温度では、Zn 原子の膜からの脱離が生じ、アニール温度、アニール時間の増加とともに抵抗率も増加するとの知見を得た。そこで、アニール時に生じる Zn 欠損を補償・低減するために、Zn 層を GZO 層の中間に挿入したサンドイッチ構造膜を作り、抵抗率と面内均一化に及ぼす影響を調べた。

GZO 層は Ga_2O_3 を 5.7wt% 添加した ZnO ターゲットを用い、Zn 層は金属 Zn ターゲットを用いて、RF マグネトロンスパッタリングにより GZO/Zn/GZO 構造の膜を石英ガラス基板上に室温で形成した。それぞれの層厚は、100nm/8nm/100nm とした。得られた膜を真空中にて高温アニールし、電気特性の変化を調べた。同様の実験を、 SiO_2 膜を上層にキャップ層として形成した $\text{SiO}_2/\text{GZO}/\text{Zn}/\text{GZO}$ 膜についても行った。

図 1 は GZO/Zn/GZO 膜、および、中心位置で成膜した GZO 単層膜（膜厚 200 nm）の抵抗率のアニール温度依存性である。GZO 単層膜は 400℃以上で抵抗率が上昇に転ずるのに対し、同じ位置の GZO/Zn/GZO 膜は 450℃まで抵抗率の減少が続き、より低い抵抗率が得られた。抵抗率の変化に対応してキャリア数は減少を始めた。これは、Zn の脱離が挿入した Zn 層により補償されたため、Zn 脱離に起因するキャリア数の減少も高温側に移動したものと理解できる。また、400℃でのエロージョン位置での抵抗率の低下が顕著で位置不均一性が低減していることが分かる。一方、移動度は温度上昇につれて単調に増加した。アニールによる結晶性向上が移動度の増加に寄与していると考えられる。 SiO_2 キャップした GZO/Zn/GZO 膜は、抵抗率の値がさらに低くなり、中心位置とエロージョン位置が全く同じ抵抗率を示した。すなわち、スパッタリング法における GZO 膜に Zn 層を挿入することで、抵抗率の低減と同時に特性の不均一が解消された。

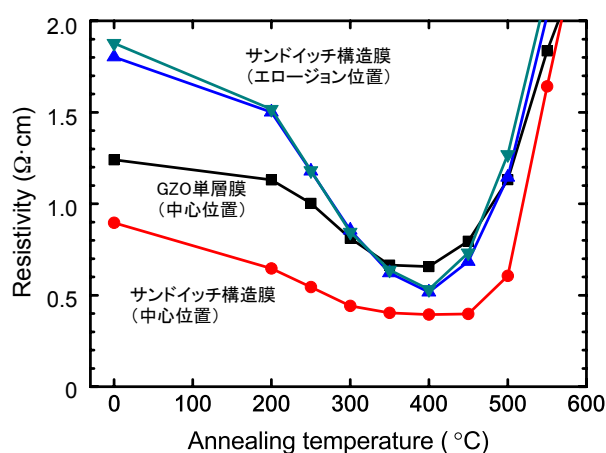


図 1 GZO 膜、及び、GZO/Zn/GZO 膜の抵抗率のアニール温度依存性