

三層グラフェンのヒステリシス現象

Hysteresis behavior in trilayer graphene

北陸先端大, ^{○(DC)}岩崎 拓哉, マノハラン・ムルガナタン, 水田 博

JAIST, ^{○(DC)}Takuya Iwasaki, Manoharan Muruganathan, Hiroshi Mizuta

E-mail: t.iwasaki@jaist.ac.jp



[背景] 三層グラフェンの電子状態は積層構造によって大きく変化し、単層・二層グラフェンとは異なる電気特性を示すため、応用に向け研究が進められている[1]。本研究では、三層グラフェン FET の輸送特性に現れた特異なヒステリシス現象について報告する。

[実験方法] 機械的剥離法により、グラファイトからグラフェンを剥離し、SiO₂(300 nm)/n-Si 基板に転写した。層数はラマン分光法と AFM により判別した。PMMA を用いた電子線リソグラフィ (EBL)・電子線蒸着・リフトオフ法により Cr/Au(5/30 nm)電極を作製した。EBL・プラズマエッチングでリボン構造にパターンニングした。真空中で 2 端子 DC 測定によりドレイン電流を測定し、基板の n ドープ Si をバックゲートとして利用した。温度 5 ~ 300 K の範囲で測定を行った。

[結果・考察] 三層グラフェン FET の温度 5、200 K におけるゲート電圧特性を Fig. 1 に示す。ゲート電圧は-40 V から+40 V、その後-40 V へとスイープさせた。-40 V から+40 V へスイープした場合はヒステリシスループの下側、逆の場合は上側の電流値を示した。ゲート電圧を+40 → -40 → +40 V と逆向きにスイープした場合でも同様の結果を得た。このヒステリシスループはバイアス電圧を大きくするか、+40 V でのホールド時間を長くすると上側の電流値が大きくなる。温度 5 K の場合、ホールド時間が短いとヒステリシスは現れなかった(Fig. 1(a))。通常、ヒステリシス現象は基板またはグラフェン表面の電荷不純物での電荷トラップによって発生すると考えられており、その場合電荷中性点の位置がスイープ方向によって変化する[2]。本研究の場合、電荷中性点位置の変化はほとんど観測されず、電荷中性点から正側のゲート電圧範囲(伝導キャリアが電子)で特に大きなヒステリシス現象が観測された。また温度 200 K において、電流値の傾きが大きく変化する点を観測した(Fig. 1(b))。これらの現象は、ABA 積層三層グラフェンのバンド構造が寄与している

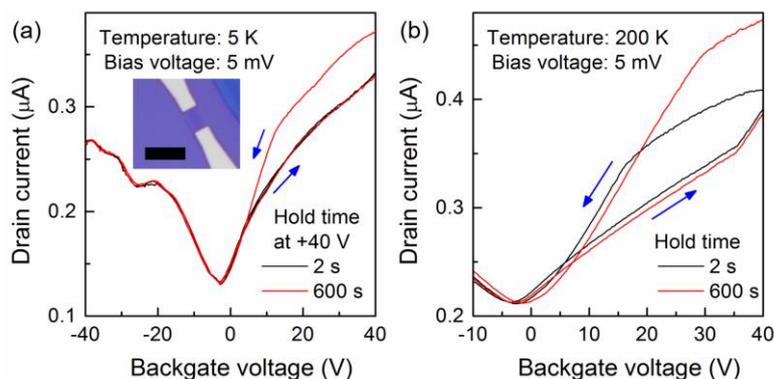


Fig. 1 Drain current vs back gate voltage characteristics of trilayer graphene FET at (a) 5 K and (b) 200 K. Inset in (a) shows the optical image of the device. Scale bar is 10 μm . Blue arrows indicate the sweep direction.

可能性が考えられる。詳しい考察は発表時に議論する。

[参考文献] [1] M. F. Craciun, *et al.*, *Nat. Nanotech.* **4**, 383 (2009).

[2] H. Wang, *et al.*, *ACS Nano* **4**, 7221 (2010).

[謝辞] 本研究は JSPS 科研費 25220904、16K18090、16K13650、16J07438 の助成を受けて行われました。