太陽電池セルレベルの PID 試験法における試験条件の確立

Establishment of conditions in a cell-level potnetial-induced degradation test

○ 山口 世力，大平 圭介（北陸先端大）

○Seira Yamaguchi and Keisuke Ohdaira (JAIST)

E-mail: s-yamaguchi@jaist.ac.jp

近年，大規模太陽光発電システムにおいて，電圧誘起劣化（PID）と呼ばれる劣化現象が問題となっている [1]．これまで，PID の現象解明および寿命予測のために，モジュールレベルの様々な試験法が用いられてきた（例えば Ref. [1]）．しかしながら，これらの方法では劣化したセルをモジュールから取り出して材料分析に供することが困難であり，このことが劣化の本質的な原因を調査する上での妨げとなっていた．

以上の背景より，モジュールに類似した積層構造に対して電圧を印加し PID を再現するセルレベルの試験が開発された [2]．この手法は過去のいくつかの研究 [3, 4] で利用されてきたが，これまでにその劣化挙動の詳細が報告されたことはない．本研究では，この種の PID 試験における劣化挙動を調査し，モジュールの PID 試験結果と比較しながら PID 挙動をうまく再現する試験条件を模索することを目的とする．

本実験の試料として，市販の p 型結晶シリコン太陽電池セルを用いた．セルレベルの PID 試験は，Fig. 1 のような構成の PID 試験装置にて，セル直下の 65 °C に昇温したステージを基準に，ガラス上に配置した重さ 3 kg の電極に対して+1000 V の電圧を真空中で印加する事により行った（この向きの電圧を印加することは，通常の PID 試験において，ガラス表面を基準にセルに負の電圧を印加することに対応する）．ガラスには熱強化ソーダライムガラスを，高分子のシートには 10^{14} Ω·cm 程度の体積抵抗率を有する典型的なエチレン酢酸ビニル共重合体（EVA）を用いた．比較のために実施したモジュールレベルの PID 試験は，65 °C の乾燥した環境で，モジュールのガラス表面を基準にセルに対して −1000 V の電圧を印加し行った．

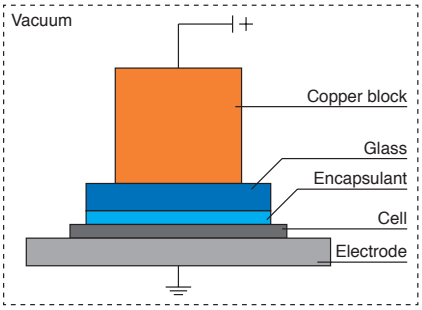

Fig. 1: Schematic diagram of the cell-level PID test setup.

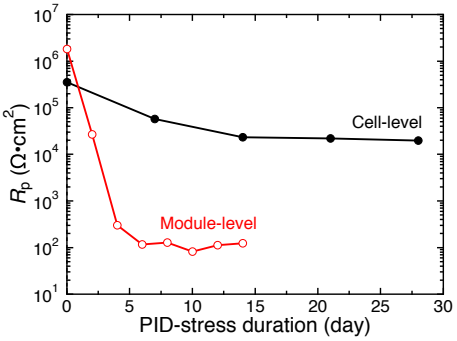

Fig. 2: Dependence of R_p of the cell and the module on PID-stress duration in cell-level and module-level PID tests, respectively.

Fig. 2 には，セルレベルおよびモジュールレベルでの PID 試験における並列抵抗 R_p の時間変化を示している．R_p の値は，暗電流特性の逆バイアス側の傾きから算出した．モジュールレベルの PID 試験では R_p が顕著に減少し，およそ試験 6 日後に飽和する傾向を示している．一方，セルレベルの PID 試験においては R_p の減少は確認されるものの，その減少幅は非常に小さく，モジュールレベルの劣化を再現しているとはいえない．この原因のひとつとして，セルをラミネートしていないことに基因するガラス／EVA 間，あるいは EVA ／セル間の高い界面抵抗が挙げられる．劣化を再現するためには，界面抵抗を低減した上で，より厳しい温度，電圧条件で PID 試験を行う必要があると考えられる．

講演では，試験条件が劣化挙動に与える影響や，本手法を n 型結晶シリコン太陽電池に適用した結果についても報告する．

謝辞：本研究は，NEDO「高性能・高信頼性太陽光発電の発電コスト低減技術開発」の委託により実施された．

参考文献：[1] P. Hacke *et al.*, Proc. 25th EU PVSEC, 2010, p. 3760, [2] D. Lausch *et al.*, IEEE J. Photovolt. **4**, 843 (2014), [3] V. Naumann *et al.*, Sol. Energy Mater. Sol. Cells **120**, 383 (2014), [4] V. Naumann *et al.*, Energy Procedia **55**, 498 (2014).

© 2017年 応用物理学会