

GaN MOS キャパシタ C-V 特性の周波数依存性シミュレーション

Simulation of GaN MOS-Capacitor Frequency-dependent C-V Characteristics

産総研, °福田 浩一, 服部 淳一, 清水 三聡

北大 量子集積エレクトロニクスセンター 橋詰 保

AIST, °Koichi Fukuda, Junichi Hattori, Mitsuaki Shimizu

Research Center for Integrated Quantum Electronics, Hokkaido Univ., Tamotsu Hashizume

ワイドバンドギャップ半導体 GaN は、高耐圧高速動作を目指す次世代パワーデバイスとして期待されており、縦型 MOSFET などの動作が既に報告されている[1]。一方で GaN / 絶縁膜界面の深い界面トラップに起因する容量電圧(C-V)特性の周波数依存が問題となっている[2]。

Fig. 1 に解析する GaN MOS キャパシタ構造を示す。基板はドナー濃度 10^{16} cm^{-3} 、厚さ 15 nm の酸化膜とタングステンの仕事関数を持つゲートとした。酸化膜界面にアクセプタ型トラップが、均一濃度で存在すると仮定した。Fig. 2 に C-V 特性のシミュレーション方法を示す。容量を求めるために小さい正弦波電圧を与える時間と、ゲート電圧を移動するスイープの時間のシミュレーションを交互に連続して行い、C-V 特性全体を一つのトランジェント解析として実施している。シミュレーションには HyENEXSS[3]を用いた。スイープには十分時間をかけ、各ゲート電圧の状態が定常になるように設定している。

Fig. 3 は伝導帯から 0.4 eV 下のトラップ準位が 10^{12} cm^{-2} の面密度で存在するときの C-V 特性の周波数依存性を計算したものである。周波数が高い場合は界面トラップの状態の変化に応じた容量が平らな部分が見られ、周波数が低いとトラップによるキャリアの捕獲・放出が顕著になり、フラットバンド電圧付近に容量のピークが見られた。本手法はこのような界面トラップのダイナミックな挙動を捉えることができる手法として、実験の解釈などに有効なツールとなりうる。

本研究は総合科学技術イノベーション会議のSIP(戦略的イノベーション創造プログラム)「次世代パワーエレクトロニクス/GaNに関する拠点型共通基盤技術開発/GaN 縦型パワーデバイスの基盤技術開発」(管理法人：NEDO)により実施されました。

[1] Otake, Hirota, et al. "Vertical GaN-based trench gate metal oxide semiconductor field-effect transistors on GaN bulk substrates." Applied physics express 1.1, 011105 (2008)

[2]. Kaneki, Ohira, Toiya, Yatabe, Asubar, and Hashizume, "Highly-stable and low-state-density Al₂O₃/GaN interfaces using epitaxial nGaN layers grown on free-standing GaN substrates," APL 109, 162104 (2016)

[3] HyENEXSS ver.5.5.

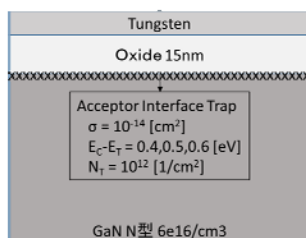


Fig. 1 MOS-Capacitor

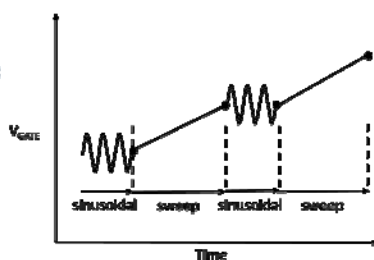


Fig. 2 Transient Simulation

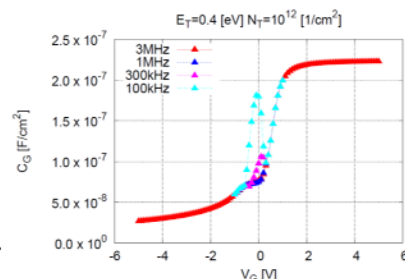


Fig. 3 Frequency-dependent C-V characteristics