

カーボンナノチューブ薄膜トランジスタの モデル化と回路シミュレーション

Modeling of carbon nanotube thin-film transistor for circuit simulation

名大工¹, 名大未来研² ○松浦 智紀¹, 鹿嶋 大雅¹, 廣谷 潤¹, 岸本 茂¹, 大野 雄高^{1,2}

Grad. Sch. of Eng., Nagoya Univ.¹, Inst. of Materials and Systems for Sustainability, Nagoya Univ.²

○Tomoki Matsuura¹, Taiga Kashima¹, Jun Hirotsani¹, Shigeru Kishimoto¹, and Yutaka Ohno^{1,2}

E-mail: yohno@nagoya-u.jp

カーボンナノチューブ薄膜トランジスタ (CNT TFT) は、高いキャリア移動度^[1]、柔軟性、化学的安定性を備え、フレキシブルな電子デバイスへの応用が期待されている。最近、高歩留まりで均一な特性をもつ素子の作製が可能となりつつあり、集積回路の大規模化やアナログ回路応用が検討され始めている。機能集積回路の設計においては、トランジスタレベルでのモデル化とそれに基づいた回路シミュレーションが必須である。本研究では、CNT TFT の電気的特性に基づくデバイスモデルを検討した。

CNT TFT の構造を図 1 に示す。基板はポリエチレンナフタレート (PEN)、チャネル材料は半導体 CNT、絶縁膜は Al_2O_3 (40 nm) である。チャネル幅は 100 μm 、チャネル長は 5 ~ 100 μm である。

CNT TFT の静特性を測定し、Shichman と Hodges らの MOSFET モデル^[2] をもとにして、サブスレッショルド電流やオフ電流を表現するための修正を加え、デバイスモデルを構築した。測定された静特性およびそれに対してフィッティングしたモデルを図 2 に示す。考案したモデルにより、出力特性及び伝達特性の再現が可能であることを示している。また、n 型 CNT TFT についても同様のモデルが適用可能であった。

半導体 CNT は TASC より提供を受けた。また、この研究の一部は、JSPS 科研費、JST/SICORP、JST/CREST の成果である。

[1] D.-M. Sun, *et al.*, *Nature Nanotechnol.* **6**, 156 (2011).

[2] H. Shichman and D. A. Hodges, *J. Solid-State Cir.* **3**, 285 (1968).

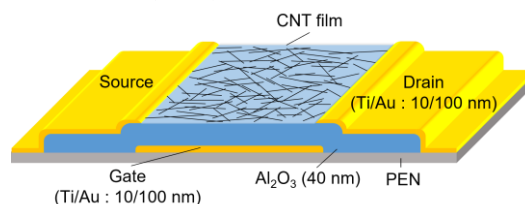


Figure 1 Schematic device structure.

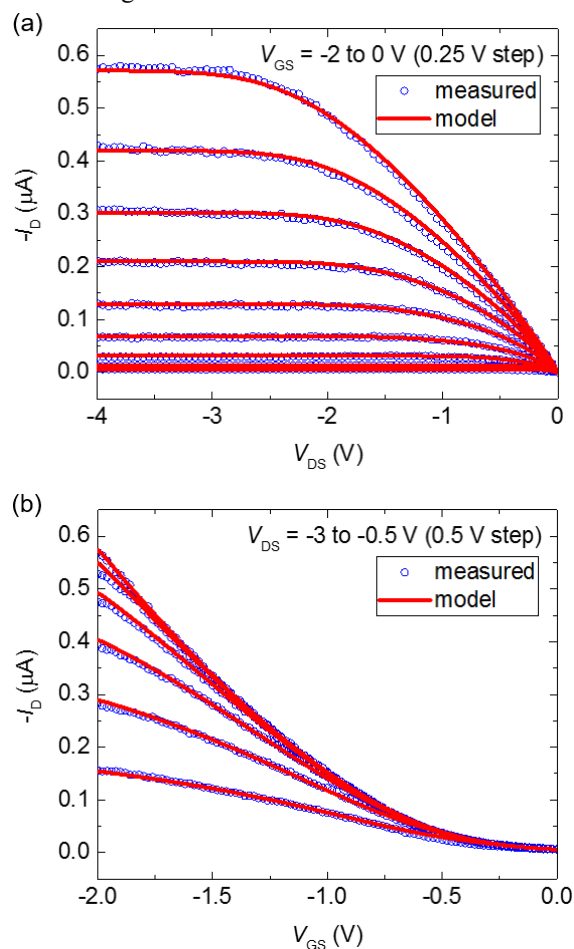


Figure 2 (a) I_D - V_{DS} and (b) I_D - V_{GS} characteristics of CNT TFT.