

リフトオフによる微細 S/D 電極形成と OFET のデバイス特性

The device characteristics of pentacene-based OFET with scaled S/D electrodes formation utilizing lift-off process

東工大工学院, °廣木 瑞葉, 前田 康貴, 大見 俊一郎

Tokyo Institute of Technology, °Mizuha Hiroki, Yasutaka Maeda, and Shun-ichiro Ohmi

E-mail: hiroki.m.aa@m.titech.ac.jp, ohmi@ee.e.titech.ac.jp

1. はじめに

前回我々は、リフトオフプロセスにより、Au-7.4%Ge をソース/ドレイン(S/D)電極として作製したトップゲート(TG)型 OFET について報告した[1]。しかし、チャネル領域におけるリソグラフィプロセスの影響により移動度が低いといった課題があった。今回、バックゲート(BG)型 OFET を作製し、S/D 電極形成後のデバイス特性向上に関する検討を行ったので報告する。

2. 実験方法

SPM 洗浄、希フッ酸処理を行った n^+ -Si(100) 基板の上に 850°C の wet 酸化で SiO_2 ゲート絶縁膜を 10 nm 形成した。次に、S/D 電極として Au-7.4%Ge をリフトオフ法により形成した。ここで、リソグラフィプロセス後の水分等の除去を目的として、ホットプレートによる 100°C アニール処理(PMA)を大気中で行った。次に、蒸着法により室温でペンタセンを 20 nm 堆積した後、裏面に Al バックゲート電極を形成した。

3. 実験結果および考察

図 1 に I_D - V_D 特性、図 2 に I_D - V_G 特性を示す。図 1 に示すように、ペンタセン堆積前に PMA を行うことにより、電流駆動力が増加することが分かった。さらに、図 2 から PMA によりサブスレッショルド特性が急峻になっていることが確認できる。これは、PMA により Au-7.4%Ge 電極内や SiO_2 上に吸着していた水分等が除去されたことによると考えられる。この結果、Au-7.4%Ge 電極の抵抗が低減し、さらにペンタセン/ SiO_2 間のチャネル界面特性が改善されたと考えられる。TLM 法によりコンタクト抵抗を抽出した結果、PMA 処理により 908 $\text{k}\Omega\text{cm}$ から、138 $\text{k}\Omega\text{cm}$ にまで低減されることが分かった。この結果、移動度は、 $6.0 \times 10^{-4} \text{ cm}^2/(\text{Vs})$ から $1.2 \times 10^{-3} \text{ cm}^2/(\text{Vs})$ にまで改善し、SS に関しては 400 mV/dec から 280 mV/dec に

低減した。

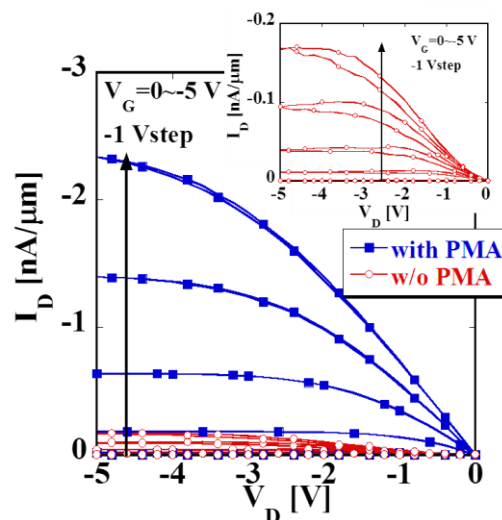


図 1. I_D - V_D 特性 (挿入図に w/o PMA の拡大図を示す。)

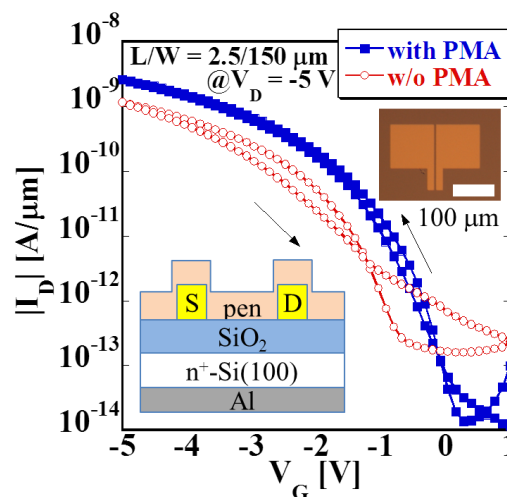


図 2. I_D - V_G 特性、デバイス構造図
謝辞

本研究に御協力いただいた、本学の石原宏名誉教授、元日立中央研究所の藤崎芳久氏に感謝いたします。本研究の一部は JSPS 科研費 JP15K13969 の支援により行われた。

参考文献

- [1] 廣木 他、第 77 回応物秋季予稿集、15a-B11-9、p.11-348 (2016)。