抵抗変化メモリの導電性パス生成機構 ~Grain surface tiling model の検証~

Formation Mechanism of Conducting Path in Resistive Random Access Memory ~ Verification of a grain surface tiling model ~

鳥取大工¹,物材機構²,TiFREC³

○(B)肥田聡太¹, 森山拓洋¹, 山崎隆浩², 大野隆央², 吉武道子², 岸田悟^{1,3}, 木下健太郎^{1,3} Tottori Univ.¹, NIMS², TiFREC³

•S. Hida¹, T. Moriyama¹, T. Yamasaki², T. Ohno², M.Yoshitake², S. Kishida^{1, 3}, K. Kinoshita^{1, 3} E-mail: kinoshita@ele.tottori-u.ac.jp

【序論】抵抗変化メモリの実用化に向けて, 金属酸化物薄膜中における抵抗変化(RS)機構の解明が 急がれる. 我々は実験と理論計算を相補的に用いることで, 多結晶 NiO 薄膜の粒界が様々なバン ドギャップを持つ微小表面の組み合わせによって構成されており, 粒界原子の僅かな移動による 局所的な面方位の変化が RS の起源であるとする、grain surface tiling model (Tiling model)を提案し た[1,2]. 本研究では, 金属酸化物薄膜として NiO の代わりに CoO を用いて同様の実験および理論 計算を行うことで, 提案モデルが NiO 以外の材料にも適用可能であることを支持する結果を得た. 【実験方法】スパッタリング法により CoO(膜厚 t = 25,50 nm)を Pt/Ti/SiO₂/Si 基板上に堆積させた 後, 走査型電子顕微鏡(SEM)を用いて CoO 薄膜の形状を観察した. 作製した CoO/Pt 構造上に Pt 上 部電極(電極直径 D = 80,100,150,200 µm)をスパッタリング法で作製する方法(D-EL: Fig. 1(a)) と Pt ソフトプローブ[3](接触面直径 100 µm)を CoO 薄膜の最表面に接触させて電極とする方法(C-EL: Fig.1(b))で Pt/CoO/Pt 構造を構築し, 各素子における RS 特性を抽出した.

【結果及び考察】断面 SEM 像より, CoO (Fig. 2(a))は NiO (Fig. 2(b))と同様に柱状多結晶薄膜であることが分かる. 各素子における RS-mode は, 次の3種類に分類された. (1)高抵抗(HR)から低抵抗

(LR)への RS から始まる (Forming mode : F-mode). (2)LR から HR への RS から始まる(Reset mode: R-mode). (3)LR から RS が生じない(Leak mode: L-mode)である. 各 t における RS-mode の割合を Fig. 3(a)と(b)にそれぞれ示す. D-EL 素子は D の減少に伴 い, F-mode の割合が増加する. 一方, C-EL 素子は t (a) に依らず,ほぼ全ての素子が F-mode を示した.ここ で D-EL は結晶粒界に直接接触し, C-EL は CoO 薄膜 の最表面(凸部)に接触すると考えられる (Fig. 1). こ れらの実験結果は、NiO 薄膜における結果[1]とよく 一致する,また,第一原理計算においても,様々な CoO 表面の表面生成エネルギーや電子状態は NiO [2]と同様の傾向が見られた.以上より, CoO 薄膜に おいても、NiOと同様に結晶粒界でRSが生じ、Tiling model が適用可能であることが示唆された. [1] 肥 田等, 第77回応用物理学会秋季学術講演会, 15p-P3-15 (2016). [2] Moriyama et al., JAP 120, 215302 (2016). [3] Yoshitake et al., e-J. Surf. Sci. Nanotech. 13, 307 (2015). 【謝辞】本研究の一部は, NIMS, 東京大 学物性研究所および京都大学情報環境機構のスー パーコンピュータシステムを用いて得られた.



Fig. 2 Cross-sectional images of (a)a CoO and (b)a NiO that are obtained by SEM.

100 nm

100 nn



