

堆積前処理が SiO₂/n-GaN 界面特性に与える影響

Influence of Surface Treatment for SiO₂/n-GaN Interfaces before Deposition

奈良先端大, °赤野拓哉, 上沼睦典, 富永雄太, 石河泰明, 浦岡行治

NAIST, °Takuya Akano, Mutsunori Uenuma, Yuta Tominaga, Yasuaki Ishikawa, Yukiharu Uraoka

E-mail: akano.takuya.ap6@ms.naist.jp

1. 背景

次世代のパワー半導体として GaN 系デバイスが注目されており、ゲート絶縁膜候補の一つとして、高絶縁破壊電界を有する SiO₂ が期待されている。しかし、SiO₂/n-GaN デバイスの界面について、研究はまだあまりなされておらず、洗浄方法の確立も未だなされていない。GaN 系デバイスにおいて、SiC や Si のように熱酸化で MOS 界面を形成することができず、絶縁膜形成が堆積膜となるため、前処理が界面特性において特に重要である。n-GaN 洗浄については Al₂O₃/n-GaN 界面において絶縁膜堆積前の洗浄による界面特性の改善が報告されており、NH₄OH 洗浄により C-V 特性における周波数分散や界面準位の低減を実現している[1]。そこで本研究では、SiO₂/n-GaN 界面において RCA 洗浄の工程ごとの界面特性について評価を行った。

2. 実験方法

MOS キャパシタの作製には厚さ 4 μm の n-GaN エピタキシャル層を有する GaN 自立基板を用いた。初めに n-GaN すべてのサンプルに対しアセトンとメタノールによる簡易洗浄を施した。その後 SPM 洗浄・SC1 洗浄・SC2 洗浄の順に RCA 洗浄を行った。また各洗浄の後に DHF 洗浄をおこなった。洗浄後 n-GaN 上に TEOS および O₂ を用いたプラズマ CVD 法により SiO₂ を 300°C で 70 nm 堆積した。SiO₂ 表面および GaN 基板裏面に Al 電極を EB 蒸着により 200 nm 蒸着した。本研究では、QS および高周波測定を行い、High-Low 法によって界面準位密度の評価を行った。

3. 結果

作製した Al/SiO₂/n-GaN MOS キャパシタの C-V 特性 Fig. 1 に示す。電圧の掃引は蓄積側から 30 mV/sec で 10 V から -20 V の範囲で行い、QS および 100 kHz で容量測定を行った。SC1 まで洗浄を行ったサンプルについて、QS と高周波においてほとんど差は見られなかった。一方で SC2 まで洗浄を施したものについて、-3V から -1V 付近において界面準位への電荷の捕獲、再放出による容量差が見られた。High-Low 法を用いた、界面準位密度 D_{it} のエネルギー分布を Fig.2 に示す。SC2 まで洗浄を行ったものでは 0.4 eV 付近の浅い準位において $10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 台の界面準位密度を示したが、SC1 まで行ったものでは $10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ 台と検出限界の値となった。SC1 までの洗浄による低い界面準位密度の要因としては、NH₄OH 洗浄により n-GaN 表面に薄い酸化膜が形成されるとの報告があり[1]、このことが良好な界面状態を形成したと推測される。SC2 洗浄による特性の劣化は SC2 洗浄を行うことで SC1 洗浄により形成された酸化膜がエッチングされ、界面特性が悪化したと考えられる。

謝辞: 本研究を進めるにあたり、ご指導を頂いた富士電機株式会社の上野様に感謝いたします。

参考文献

[1] Dmitry M. Zhernokletov *et al.*, ACS Appl. Mater Interfaces (2015).

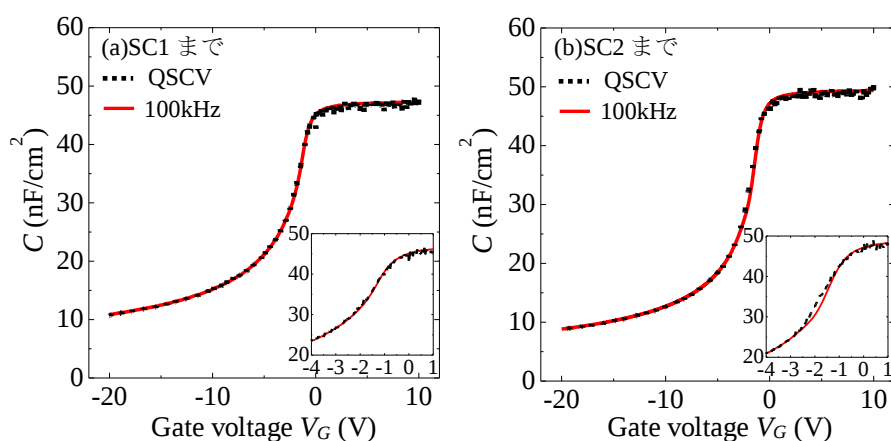


Fig.1 QSCV および高周波の C-V 特性(a)SC1 まで(b)SC2 まで

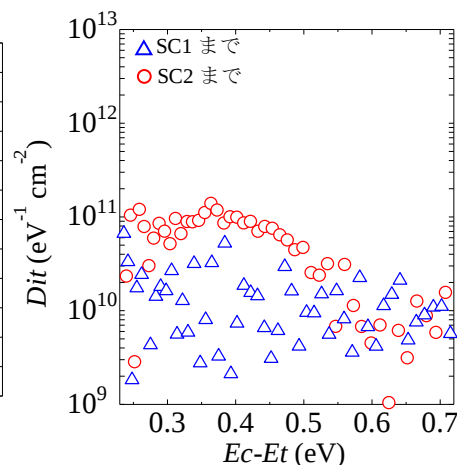


Fig.2 SC1・SC2 洗浄における界面準位密度