

プリントド有機結晶膜半導体集積回路

Integrated Circuits of Printed Organic Semiconductor Crystals

東大新領域¹, パイクリスタル², 阪府産技研³ ○竹谷 純一^{1,2,3}

Univ. of Tokyo¹, Pi-Crystal², TRI-Osaka³, °Jun Takeya^{1,2,3}

E-mail: takeya@k.u-tokyo.ac.jp

【はじめに】

現代情報化社会のハードウェア基盤であるシリコンをベースとした半導体エレクトロニクスは、多額の投資を必要とする少品種大量生産型産業になっているのに対し、プリントド半導体なる新規材料は、デバイス作製プロセスを確立すれば、少額の投資で参入可能な多品種少量生産型産業となる。そのため、IoT 社会向けの大量のセンサデバイスや低コスト RF-ID タグなど、従来は事業構造上困難であった需要に応えるエレクトロニクスが社会導入され、次世代情報社会の根底を変えるインパクトを有する。本講演は、特に高移動度の印刷できる有機半導体単結晶フィルムの集積回路について、当グループにおける開発状況を述べる。

【極薄有機半導体単結晶フィルムのトランジスタとコンパクトモデル】

有機半導体単結晶材料は、低分子化合物がほぼ完全な周期性構造を有するため、ギャップ内準位が極めて少なく、低ゲート電圧で導入される少量のキャリアによって、通常が多結晶デバイスよりずっと高い $5\text{-}10\text{ cm}^2/\text{Vs}$ 程度の移動度を p 型及び n 型材料において実現することである。溶液を塗布する工程で結晶化させるプロセスを開発し、 10 cm 角程度の基板の上に、結晶軸がそろった大面積の有機半導体単結晶ウェーハを作製することが可能となっており、数 100 トランジスタ規模の CMOS 回路を自由にデザインすることが可能となった。さらに、集積度を上げるために、最近、単結晶の厚さを厚さ 10 nm 程度の数分子層に均一化するプロセスに取り組んだ結果、デバイス間の均一性が極めて高いトランジスタ群の作製に見通しをつけるとともに、コンタクト抵抗も含めたコンパクトモデルを構築するに至った。本モデルを用いて、実デバイスを模擬した SPICE シミュレーションも可能となり、数 1000 トランジスタレベルの集積化のベースが得られている。

【プリントド有機結晶膜半導体集積回路の例】

すでに、フォトリソグラフィを用いた集積回路化プロセスを確立し、D-flip-flop 回路や AD コンバーターの試作を進めるとともに、温度センサーと RF-ID タグを一体化した温度管理用スマートタグなどの実用デバイスの開発を進めている。一例として、図には、3 段の D-flip-flop 回路が Near-Field Communication (NFC) 規格に対応する周波数で動作する動特性を示す。今後、さらなる集積化を進めるとともに、低コスト化による商品化開発を進める計画である。

