

ソース不純物濃度が GaAsSb/InGaAs 縦型トンネル FET の電気特性に与える影響

Effects of source impurity concentration on electrical characteristics of GaAsSb/InGaAs TFET

東京大学¹, 日本電信電話株式会社 先端集積デバイス研究所²

後藤高寛¹, 満原学², 星拓也², 杉山弘樹², 竹中充¹, 高木信一¹

The University of Tokyo¹, NTT Device Technology Laboratories, NTT Corporation²,

T. Gotow¹, M. Mitsuhashi², T. Hoshi², H. Sugiyama², M. Takenaka¹, and S. Takagi¹

E-mail: gotow@mosfet.t.u-tokyo.ac.jp

【はじめに】半導体のバンド間トンネル現象を利用したトンネルFETは、従来型MOSFETの駆動電流の立ち上がりを示す指標のサブスレショルド値(S.S.)の理論限界である60 mV/dec.を打破可能なことから注目されている^[1]。その中でも、III-V族化合物半導体のタイプIIヘテロ接合を用いたTFETは、より高いオン電流を得られるため有望である^[2,3]。これまで我々は、InP上に格子整合したp-GaAsSb/i-InGaAs TFETの動作を実証してきた^[4]。今回ソース領域の不純物濃度がTFETの電気特性に与える影響をTCADシミュレーションと実験から検討したので報告する。

【研究内容】Sb系TFETのデバイス特性向上指針を明らかにするため、TCADシミュレーションを行った。Fig. 1にソース領域の不純物濃度がS.S.値と I_{ON} に与える影響を示す。ここで、S.S.値と V_{OFF} は $I_D = 1 \times 10^{-11} \text{ A}/\mu\text{m}$ 時の、 I_{ON} は $V_{ON} = V_{OFF} + 0.5 \text{ V}$ と定義したときの値とした。高い I_{ON} と $S.S. < 60 \text{ mV/dec.}$ を同時に実現するためには、ソース領域の不純物濃度をより高くする必要が示唆された。Fig. 2に試作したp-GaAsSb/i-InGaAs縦型TFETの構造を示す。ソース領域はリン酸過水でエッチングすることで形成した。InGaAsとGaAsSbの表面を硫酸アンモニウムでパッシベーションした後、 Al_2O_3 を基板温度 150°C で10 nm堆積させた。Fig. 3に I_D - V_G 特性の温度依存性を示す。強い温度依存性が観測されていることから、接合リーク成分には熱励起によるキャリアの生成電流や欠陥準位を介したトンネル電流が多く含まれることが示唆された。デバイスを低温とし、接合リーク電流を抑制することでON/OFF比7桁以上、 I_{ON} は $0.16 \mu\text{A}/\mu\text{m}$ が得られた。Fig. 4に示した20 K時の I_D - V_D 特性に負性微分抵抗(NDR)が明瞭に観測されていることから、本デバイス特性はトンネル電流に支配されていることが確認された。Fig. 5に I_D - V_G 特性とS.S.値に対するソース領域の不純物濃度(N_A)依存性を示す。 N_A を $1 \times$

10^{19} から $4 \times 10^{19} \text{ cm}^{-3}$ に増加させると、オン電流が約1桁以上、 $I_D = 1 \times 10^{-11} \text{ A}/\mu\text{m}$ でのS.S.値が57 mV/dec.に向上した。

【まとめ】ソース領域の不純物濃度を高濃度化することで、p-GaAsSb/i-InGaAs縦型TFETのオン電流特性とS.S.値を向上した。

【謝辞】本研究は、JST, CRESTの助成を受け実施した。

【参考文献】

[1] A. M. Ionescu and H. Riel, Nature **479**, 329 (2011).

[2] T. Yu *et al.*, IEDM (2015) pp. 612–615.

[3] R. Pandey *et al.*, VLSI (2015) pp.T206-T207.

[4] T. Gotow *et al.*, SSDM (2016) pp. 21–22.

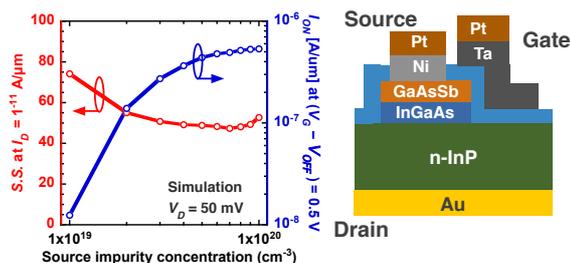


Fig. 1 The simulated S.S. values and I_{ON} of GaAsSb/InGaAs TFETs with various source impurity concentration.

Fig. 2 Schematic image of GaAsSb/InGaAs vertical TFET structure on InP substrate.

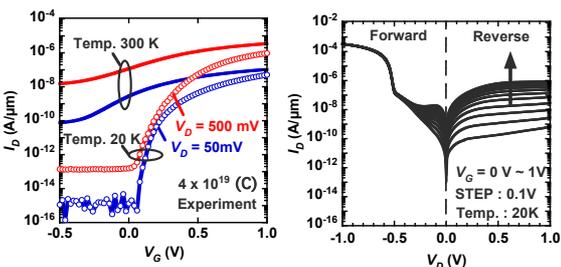


Fig. 3 I_D - V_G characteristics of GaAsSb/InGaAs vertical TFET at 300 and 20 K.

Fig. 4 I_D - V_D characteristics of GaAsSb/InGaAs vertical TFET at 20 K.

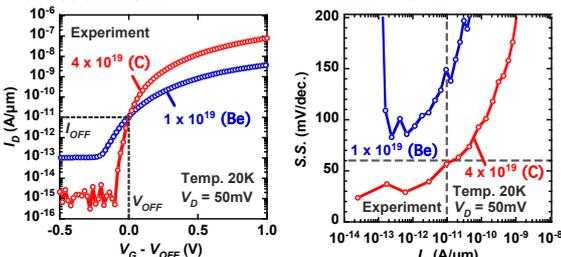


Fig. 5 I_D - V_G characteristics and Subthreshold swing (S.S.) versus drive current (I_D) of GaAsSb/InGaAs vertical TFET with impurity concentration (N_A) of 1×10^{19} and $4 \times 10^{19} \text{ cm}^{-3}$.