n-i-n ダイオードを用いた InP 基板上 ZnCdSe/BeZnTe ヘテロ障壁の評価

Investigation of ZnCdSe/BeZnTe hetero barriers on InP substrates using n-i-n diodes

上智大理工　百瀬優大、小林亮平、酒井琢己、岸野克巳、野村一郎

Sophia Univ., Yudai Momose, Ryohei Kobayashi, Takumi Sakai, Katsumi Kishino, and Ichirou Nomura

E-mail: i-nomura@sophia.ac.jp

はじめに：InP 基板上 ZnCdSe/BeZnTe Ⅱ-Ⅵ族半導体ヘテロ構造には伝導帯に 1eV を超えるヘテロ障壁があると予測され、超格子やトンネルダイオード等へのデバイス応用が期待される。しかし、そのヘテロ障壁の具体的な値については十分評価されておらず、材料やデバイス設計において問題となっている。ここでは、上記ヘテロ材料を用いた n-i-n ダイオードを作製し、電流電圧 (J-V) 特性の実験値と理論値との比較により伝導帯ヘテロ障壁 (ΔEc) について調べたので報告する。

実験結果：作製した素子構造を図 1 に示した。素子は InP 基板上に 1.5nm 厚の un-BeZnTe 層を 300nm 厚 n-ZnCdSe 層で挟んだ n-i-n 構造とした。n-ZnCdSe 側に Al 、基板側に Au/Sn 電極を施し 50μm×169μm に加工した後、77K において J-V 特性を測定した。測定値を図 2 に示した。次に、同構造における J-V 特性の理論計算を、ΔEc を 1.1~1.5eV に変えながら行った。得られた理論値を図 2 に示し、実験値と比較した。その結果、ΔEc =1.35eV の場合に理論値と実験値がよく一致し、当該ヘテロ障壁の具体的な評価が行われた。

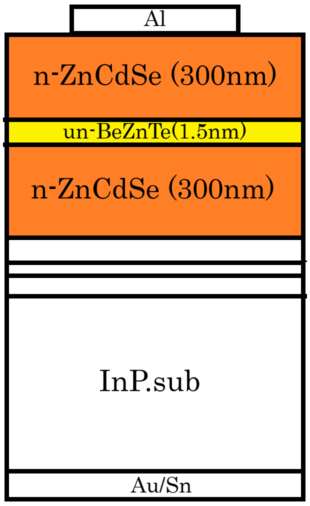

図 1　ZnCdSe/BeZnTe n-i-n ダイオードの構造

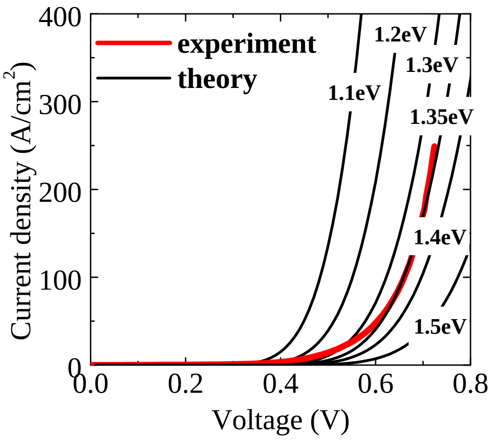

図 2　n-i-n ダイオードの 77K における電流電圧特性

謝辞：本研究は、文科省科研費基盤 C(#26420279)の援助を得て行われた。