

# ALD- $\text{Al}_2\text{O}_3$ を用いた横型グラフェントネルダイオードの作製

## Fabrication of lateral graphene tunnel diodes with ALD- $\text{Al}_2\text{O}_3$ dielectrics

東北工大<sup>1</sup>, 東北大通研<sup>2</sup> ○志賀佳菜子<sup>1</sup>, 菅原健太<sup>2</sup>, 佐藤昭<sup>2</sup>, 吹留博一<sup>2</sup>, 尾辻泰一<sup>2</sup>, 内野俊<sup>1</sup>

Tohoku Inst. Tech.<sup>1</sup>, Tohoku Univ. RIEC<sup>2</sup>,

○K. Shiga, K. Sugawara, A. Satou, H. Fukidome, T. Otsuji, T. Uchino

【はじめに】 我々は前回、単層グラフェン間にプラズマ  $\text{Si}_3\text{N}_4$  でトンネル絶縁膜を形成した横型グラフェントネルダイオード (GIG ダイオード) にゲート電極を付加した新構造デバイスを作製し、ゲート電圧によってダイオードの極性を n 型から p 型に電氣的に制御できることを報告した。今回はトンネル領域の絶縁膜として ALD- $\text{Al}_2\text{O}_3$  薄膜を用いて横型グラフェントネルダイオードを作製し、電気特性を評価したので、その結果について報告する。

【実験方法】 デバイス作製には CVD 単層グラフェンを  $\text{SiO}_2/\text{p}^+\text{-Si}$  上に転写した基板を用いた。横型グラフェントネルダイオードのトンネル領域は、電子線描画でグラフェンに 80-200 nm の幅を形成した後、電子線蒸着で堆積した Al 薄膜を自然酸化して形成した  $\text{Al}_2\text{O}_3$  上に ALD で  $\text{Al}_2\text{O}_3$  膜を堆積して形成した。グラフェンと接触する金属電極は、接触抵抗改善のためにグラフェンを酸素プラズマ処理した後に Ti/Pd/Au を蒸着して形成した。トップゲートは ALD- $\text{Al}_2\text{O}_3$  上にリフトオフで Ti/Au を蒸着することにより形成し、バックゲート電極は Si 基板の裏面に Al を蒸着して形成した。本実験では ALD- $\text{Al}_2\text{O}_3$  薄膜の電気特性評価のために、同時にグラフェンランジスタ (GFET) も作製した。

【実験結果と考察】 図 1 に作製した GFET のトップゲート配置およびバックゲート配置の  $I_d$ - $V_g$  特性を示す。いずれの配置も類似のアンビポーラ特性を示したが、ディラック点はトップゲート配置の方が約 0.3 V 低かった。図 2 にバックゲート配置の横型グラフェントネルダイオードの  $I$ - $V$  特性を示す。トンネル絶縁膜に ALD- $\text{Al}_2\text{O}_3$  膜を用いても、前回と同じようにゲート電圧で  $I$ - $V$  特性が可変なダイオード特性を示すことがわかった。しかし、バックゲート酸化膜を 83 nm から 285 nm に厚膜化したため、順方向電流が減少した。

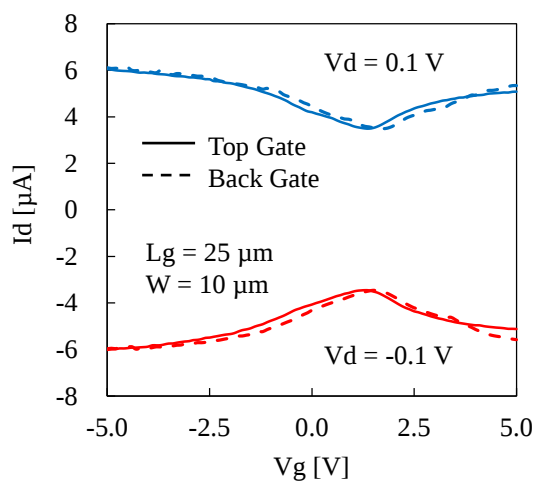


Fig. 1  $I_d$ - $V_g$  characteristics of the GFET.

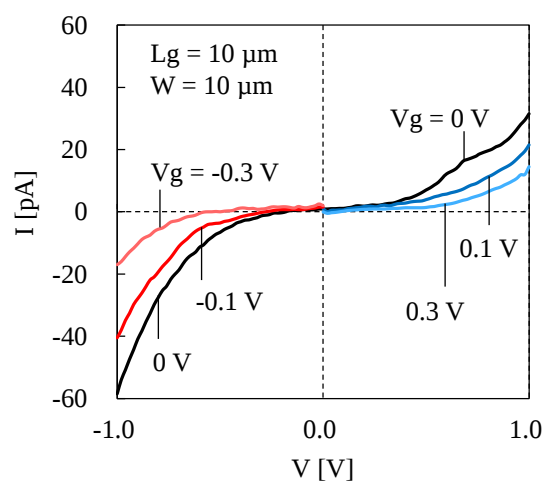


Fig. 2  $I$ - $V$  characteristics of the lateral GIG diode.