

ALD- Al_2O_3 膜をゲート絶縁膜に用いた転写フリーグラフェン FET の作製

Fabrication of transfer-free graphene FETs with ALD- Al_2O_3 layers as the gate insulator

○小林幹、ドルジダウガ ビルグーン、久保俊晴、三好実人、江川孝志 (名古屋工業大学)

○M. Kobayashi, B. Dorjdagva, T. Kubo, M. Miyoshi, T. Egawa (Nagoya Inst. of Tech.)

E-mail: 30413079@stn.nitech.ac.jp

1. はじめに

金属触媒を凝集させる技術を用いることで転写フリー多層グラフェンを絶縁膜上に形成できる[1,2]。我々はこれまで絶縁膜として蒸着法により形成した SiO_2 膜を用いて FET を作製し、ドレイン電流のゲート電圧による変調を確認した[3]。本研究ではデバイスの高性能化のため、誘電率の高い Al_2O_3 膜を絶縁膜として使用することとし、成膜方法として、膜厚制御性および段差被覆性の良い ALD 法を用いて FET を作製し、その電気特性評価を行ったのでその結果を報告する。

2. 実験方法

実験フローを Fig. 1 に示す。Sapphire 基板上に蒸着で Ni を 20nm、PAPD 法でカーボン を 50nm 付け、その後 1000°C で 5 分アニールすることでグラフェンを形成した。その後、グラフェンの形成確認のため、ラマンスペクトル測定を行った。

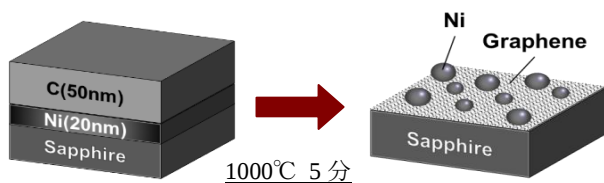


Fig.1 Process flow of transfer-free graphene layers.

その後、塩酸で Ni をエッチングした試料に FET 作製プロセスを行った。ゲート絶縁部には ALD により Al_2O_3 を 50nm 成膜した。Fig.2 に FET の断面図を示す。作製した FET の電気特性を評価した。

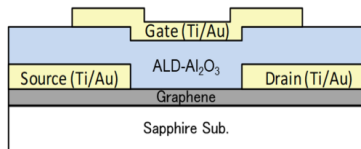


Fig. 2 Cross-sectional view of the FET.

3. 実験結果

グラフェン形成後のラマンスペクトル測定結果を Fig. 3 に示す。Fig.3 において G ピーク、2D ピークが観測されていることから、Ni 凝集により多層グラフェンが形成されていることが分かる。

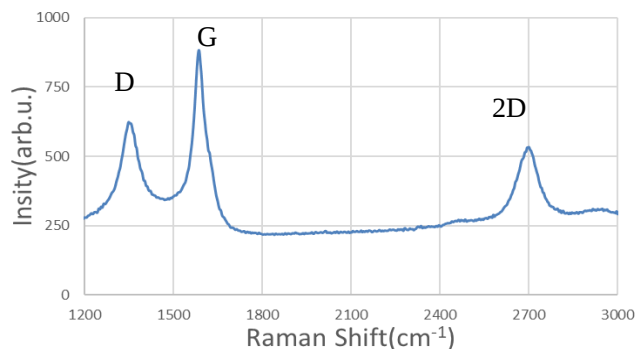


Fig.3 Typical Raman spectrum from graphene.

Fig. 2 の FET のドレイン電圧 (V_d) とドレイン電流 (I_d) の関係についてゲート電圧 (V_g) を 0 V から 10V まで変化させて測定した結果を Fig. 4 に示す。

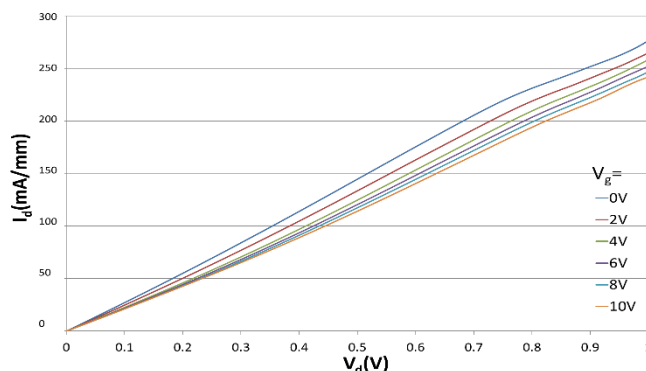


Fig.4 Typical result of I_d - V_d .

Fig.4 において、 $V_d = 1$ V の際、 V_g を 0V から 10 V まで変化させると、 I_d は 276mA/mm から 242mA/mm まで 12.5%変化し、電界効果を確認することができた。

4. まとめ

金属凝集法に基づく基板転写フリープロセスで形成したグラフェン膜について、 Al_2O_3 ゲート FET の試作と評価を試みた。また、ALD によって成膜した Al_2O_3 膜を用いたグラフェン FET において、 V_g の印加に対して I_d - V_d 特性の変化が観測され、FET 動作が確認された。

5. 参考文献

- [1] K. Banno, et al. APL 103, 082112 (2013).
- [2] M. Miyoshi, et al. MRX 2, 015602 (2015).
- [3] M. Miyoshi, et al. APL 107, 073102 (2015).