

半導体デバイス製造用プラズマエッチング技術とイノベーションへの期待

Plasma etching technologies for semiconductor device manufacturing

and expectations for innovations

東芝メモリ株式会社 ○林 久貴

Toshiba Memory Corporation, °Hisataka Hayashi

E-mail: hisataka.hayashi@toshiba.co.jp

今日の情報化社会で取り扱われるデータの量は増加の一途を辿っています。これらの大量のデータを管理するビッグデータシステムや、情報を半永久的に保存するデータセンターやクラウドサービスなど、情報処理の現場ではリアルタイム性が重視され、データを低消費電力で高速に処理、記憶、および管理できる大容量ストレージが求められています。フラッシュメモリは、これらの市場要求に応える最適なソリューションの一つです。

当社は NAND 型フラッシュメモリを 1987 年に発明し、1991 年に世界で初めて量産して以降、メモリ素子配線幅の微細化により記憶容量を増やしてきました。しかし微細化によって引き起こされる様々な問題により、平面構造の NAND 型フラッシュメモリでは更なる容量増に対する技術難易度が非常に高くなってきました。

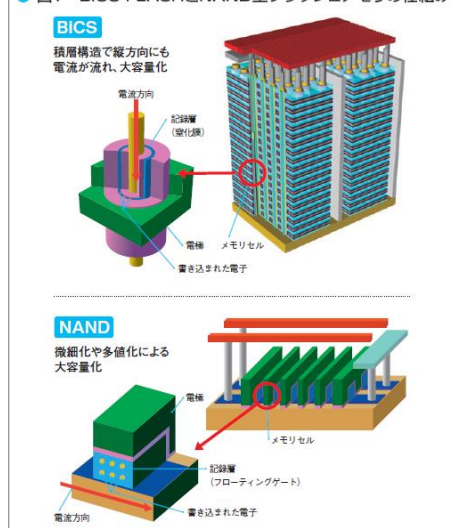
この問題を打破するため、フラッシュメモリの 3 次元積層構造を考案し、2007 年に世界で初めて公表、開発を進めて 3 次元フラッシュメモリ : BiCS FLASH を製品化しました。従来の NAND 型フラッシュメモリは、シリコン平面上にメモリ素子を並べた構造ですが、3 次元フラッシュメモリは、シリコン平面から垂直方向にメモリ素子を積み上げた構造を取っています (図 1)。

BiCS FLASH 技術のもっとも重要な点は、メモリセルアレイのエッチングと薄膜形成を一括して実施する製造プロセスにあります。2 種の絶縁膜を交互に数十層積み重ねてから、リソグラフィ技術とプラズマエッチング技術によってすべての層を貫く細長い孔をウエハ全面に一気に形成し、細長い孔の側壁に電荷蓄積層やチャンネル層などの薄膜をまとめて作製していきます。

この中で特に難しいのが、微細で深い孔をあけるプラズマエッチング工程です。例えば 64 層 BiCS FLASH のメモリセルを形成するには、直径 100nm、深さ $4.5\mu\text{m}$ の孔をウエハ上に 1.7 兆個同時に開ける必要があります。

今後も積層数の増大に伴い、より深い孔を高速に開ける必要に迫られており、プラズマエッチングに対するイノベーションが強く期待されています。

● 図1 BiCS FLASHとNAND型フラッシュメモリの仕組み



● 図2 BiCS FLASH製造の鍵は穴あけ&埋め込み加工

