埋め込み Ni バックゲートを用いた p-MoS_2/HfS_2 トンネル FET

p-MoS_2/HfS_2 Tunnel FET Using Ni Backgate Buried in HfO_2 Dielectric

東工大 [1]　○(M2)張 文倫 [1]，祢津 誠晃 [1]，金澤 徹 [1]，雨宮 智宏 [1]，宮本 恭幸 [1]

Tokyo Institute of Technology [1] ○(M2)Wenlun Zhang[1], Seiko Netsu[1],

Toru Kanazawa[1], Tomohiro Amemiya[1], Yasuyuki Miyamoto[1]

E-mail: zhang.w.ai@m.titech.ac.jp

1. 背景・目的

二次元遷移金属ダイカルコゲナイド（TMD）はバンドギャップを有する層状物質群であり，複数の TMD を van der Waals 結合によって重ねあわせることで, 表面ダンリングボンドが存在しないことから, 理想的なトンネル界面を創ることができる．従って，TMD は高性能なトンネル FET の材料として超低消費電力デバイス応用が期待されている．当研究グループは，p 型の MoS_2 をソース，HfS_2 をドレインとして，Type-II ヘテロ構造トンネル FET の動作を報告している[1]．一方で，デバイスの急峻性を示すサブスレッショルドスロープ（SS）が 700 mV/dec と非常に大きいことが問題となっていた．本発表では，その改善へ向けた取り組みについて報告する．

2. 実験方法

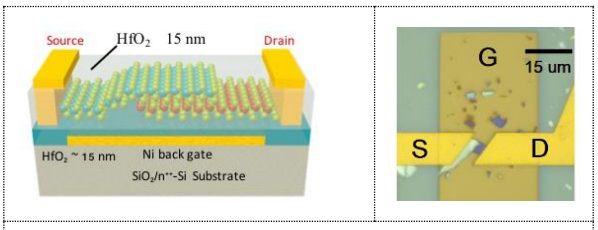

Fig. 1 Device structure of p-MoS_2/HfS_2 tunnel FET. **(a):** Schematic view. **(b):** Optical microscope image.

SS を削減し急峻な立ち上がり特性を得るためには，絶縁膜容量 C_{ox} を増加させ，界面トラップの影響を抑制することが重要である[2]．通常 C_{ox} を拡大するためには，High-κ 誘電体の導入と絶縁膜厚の削減が有効である．しかし，絶縁膜を堆積したシリコン基板に二次元材料のフレークを転写し, 基板前面をバックゲート形として用いる. 従来の構造では測定用電極パッドとバックゲートの間にゲートリークが流れ, 立ち上がり電流の観測を阻害する問題があった．さらに，絶縁膜厚を削減した High-κ 誘電体においてはリーク電流が増加しやすい傾向があり, 絶縁膜容量 C_{ox} の増加に困難が伴う．本報告では，Fig. 1 (a) に示すように，SiO_2 上に形成した埋め込み金属バックゲートを利用し，電極のオーバーラップを削減し，ゲートリークを削減しつつ，C_{ox} を増加させ，デバイスの SS を改善する構造を導入した．

3. 実験結果

作製したデバイスの光学観察像を Fig. 1 (b) に示す．埋め込みバックゲートにより，全面的バックゲートに比べ, 電極同士のオーバーラップ面積を約 97%削減することができた．Fig. 2 に示すように，ゲートリークは 10^{-13} A に抑えられる．絶縁膜が 25 nm Al_2O_3（EOT=10.8 nm）から 15 nm HfO_2 （EOT=3.7 nm）に替わり，C_{ox} が約三倍拡大できた．その結果，p-MoS_2/HfS_2 トンネル FET の動作電圧が 7 V 削減され，SS についても 700 mV/dec から 300 mV/dec に低減された．今後、SS の急峻化を行い Steep Slope を実現するためには本報告のデバイス構造を基本に, さらなる絶縁膜容量の増大と界面に存在するトラップ準位の削減を進めることが課題となる．

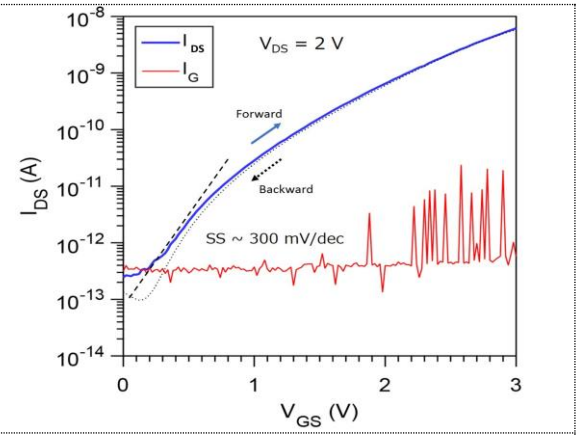

Fig. 2: Transfer characteristics of fabricated deivce.

謝辞

本研究は JSPS 科研費 JP18K04279，JP16H00905，JP25107004 の助成を受けたものです．

参考文献

[1] S. Netsu, T. Kanazawa, T. Uwanno, T. Amemiya, K. Nagashio and Y. Miyamoto, IEICE Trans. Electron. **E101-C**, p. 338, (2018).
[2] T. Li, B. Wan, G. Du, B. Zhang and Z. Zeng, AIP Advances **5**, 057102, (2015).