

中空構造 SOI 層の低温転写技術を用いたフローティングゲート作製  
プロセス技術に関する研究

Single Crystalline Silicon Floating Gate Memory Fabrication on Plastic  
Substrate Using Meniscus Force-Mediated Layer Transfer of SOI Layer  
with Midair Cavity

広大院先端研, ○近藤 史康, 東 清一郎

Graduate School of Advanced Sciences of Matter, Hiroshima Univ

○F. Kondo and S. Higashi

E-mail: semicon@hiroshima-u.ac.jp

序>近年、フレキシブルエレクトロニクスが注目されており高性能フレキシブルデバイスを実現するためにはフレキシブル基板上での高性能薄膜トランジスタ (TFT) の作製が必要となる。しかしながら、耐熱温度が低いフレキシブル基板上で高結晶性Si膜を作製することは非常に困難とされており、これまでにない新しい技術・手法を確立する必要がある。本研究では、新たな技術として、メニスカス力を利用した中空構造層の転写 (MLT) 技術を提案し、フレキシブル基板上へ単結晶Si膜の低温転写が可能であることを報告してきた[1]。また更なるデバイス応用へ向け、フレキシブル基板上での記憶素子の混載が重要だと考えフローティングゲートメモリに着目した。フローティングゲートメモリとはMOS FETのゲート酸化膜中に電荷を蓄積するためのフローティングゲートが埋め込まれた構造のメモリでありフラッシュメモリなどにも用いられている。このようなメモリ機能を有するTFTを画素駆動回路に付加することによりフレキシブルディスプレイの待機時の消費電力の大幅な低減が期待出来る。そこで中空構造SOI層の低温転写技術を用いてPET基板上でのフローティングゲートメモリの作製を目的とする。

実験方法>フローティングゲートMOSキャパシタ作製のため、p型シリコン基板を洗浄し1000 °Cで熱酸化膜 (~4 nm) 形成後FGA (フォーミングガスアニール) を行い、蒸着法によりAu膜 (~4 nm) を堆積した。その後、リモートICP-CVDを用いてMLT技術の最高到達温度に合わせた温度130°Cで圧力40 Pa、投入電力10~200 W、流量SiH4:0.6 sccm, O2:10~30 sccm, Ar:40 sccmの条件でSiO2膜 (~30nm) を堆積し、最後にAl電極形成後PMAを130 °Cで行いその電気特性を評価した。

結果>まずコントロール酸化膜単層の評価を行うため投入電力とガス流量比を変更しリモートICP-CVDを用いてSiO2膜の成膜を行った。SiO2膜のJ-E特性より、投入電力の向上とともに耐電圧が向上された(Fig. 1)。これは、高電力であるほど高密度のラジカルが生成され膜質が向上したことが原因と考えられる。結果として投入電力200Wが適正值であることが得られた。次に、フーリエ赤外分光 (FT-IR)法より、Si-O-Siの振動スペクトルが低波数側にシフトしており、酸素欠乏が示唆されたため、酸素流量を増加させ成膜を行った。結果として、Si-O-Siの積分強度が酸素流量10sccmでは単位膜厚あたり20.6、酸素流量30sccmでは単位膜厚あたり35.4と酸素流量に応じて増加することを確認した。この投入電力とガス流量比の条件を改善したSiO2膜を用いて金をフローティングゲートに用いた、フローティングゲートMOSキャパシタを作製し、そのC-V特性を(Fig.2)に示す。電圧の掃引に伴いフラットバンド電圧がシフトしており、これはAu層への電子注入による正のフラットバンドシフトと正孔注入による負のフラットバンドシフトによるものだと考えられ、Au薄膜に電荷が注入されていることが確認できた。

謝辞>本研究の一部は広島大学ナノデバイス・バイオ融合科学研究所の施設を用いて行われた。

References: [1] K. Sakaike, *et. al.*, Appl. Phys. Lett., 103, 233510 (2013).

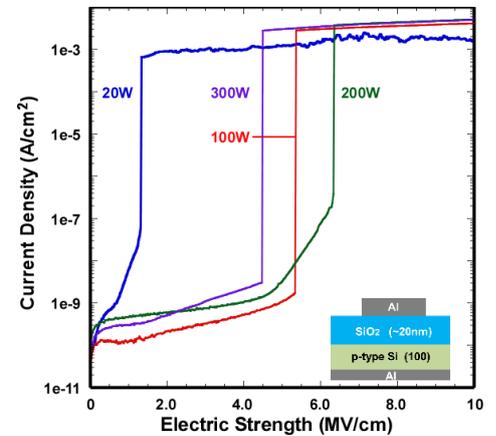


Fig. 1 J-E characteristics of temperature dependency.

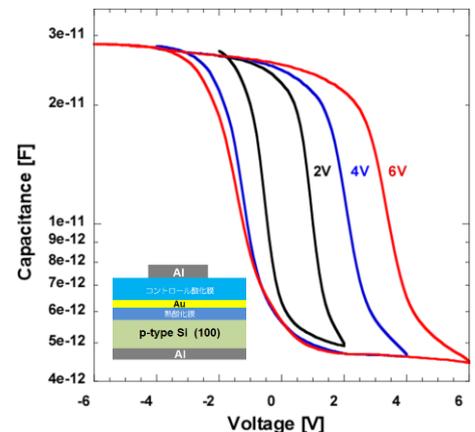


Fig. 2 C-V characteristics of floating gate MOS capacitor.