強誘電体/半導体ヘテロ接合における過渡的負性容量

Transient Negative Capacitance at Ferroelectric/semiconductor Hetero-junction

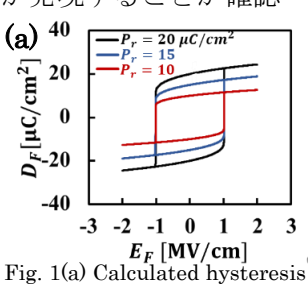
○高田 賢志，吉村 武，藤村 紀文（阪府大工）
◦K. Takada, T. Yoshimura, N. Fujimura （Graduate School of Eng., Osaka Pref.Univ.）
E-mail: fujim@pe.osakafu-u.ac.jp

【Introduction】

近年、超低消費電力 FET として注目を集めている負性容量 FET は MOSFET のゲート絶縁膜として強誘電体を用い、その負の容量を用いることによりサブスレッショルド領域における電流の立ち上がり(SS 値)を急峻にすることができる。実際に、SS 値の理論限界を下回る急峻なスイッチングを実現したという報告例が多くみられる [1)]ものの、その負性容量発現原理は十分に理解されていない。実験で観測されている過渡的負性容量の発現メカニズムとして、Ferroelectric switching delay model が一つのモデルとして報告されている [2)]。我々はそのモデルに加え、半導体からの減分極電界と、半導体と強誘電体の外部電界に対するキャパシタンスの非線形応答の効果により負性容量が発現することを報告した [3,4)]。本講演では、このメカニズムによって生じる負性容量効果が強誘電体/半導体ヘテロ接合における電気的挙動にどのような影響を与えるかを詳細に述べると共に抗電界や残留分極、分極反転速度などの強誘電特性が及ぼす影響に関しても議論する。

【Simulation and Result】

分極反転モデルは時間発展を考慮に入れた Landau-Khalatnikov(LK)方程式を用いた。LK 方程式におけるランダウ係数を調整し、Fig. 1(a)のように抗電界$E_C = 1$ MV/cm、残留分極$P_r = 10, 15, 20$の電束密度-電界(D_F-E_F)特性を得た。これらの強誘電特性を有する強誘電体を金属/強誘電体/半導体(MFS)構造に挿入し、電気特性のシミュレーションを行った結果を Fig. 1(b)に示す。上から、印加電圧(V_G)、強誘電体に印加されている電圧(V_F)、半導体表面のポテンシャル(ψ_S)、D_Fの時間発展を示している。MFS キャパシタに-0.5 Vの電圧を印加し負方向にポーリングした後1 Vのパルス電圧を印加すると、いずれのP_rにおいても半導体からの減分極電圧によりV_Gよりも大きな電圧が強誘電体に印加される。この減分極電圧はD_Fがゼロに近づくにつれ減少するため、それに伴いV_Fも減少する。$D_F > 0$では半導体表面に空乏層が形成し、半導体のキャパシタンスが急激に減少するため、V_Fが減少し、ψ_Sが増加する。反転層形成後においても$V_F > 0$であるためD_Fは増加し、これを補償するためにψ_Sが増加しV_Fが減少する。そのためパルス電界を印加した後常に$\partial D_F/\partial V_F < 0$、即ち負性容量が発現していることが分かる。残留分極の変化に伴い分極反転に要する時間は変化しているが、いずれのP_rにおいても負性容量が発現することが確認できる。これは半導体の電荷制御に必要な電荷量が0.1 μC/cm^{2}程度であり、強誘電体の分極と比べて十分小さいためである。講演では抗電界や分極反転速度が MFS キャパシタの電気的挙動に及ぼす影響についても議論する。



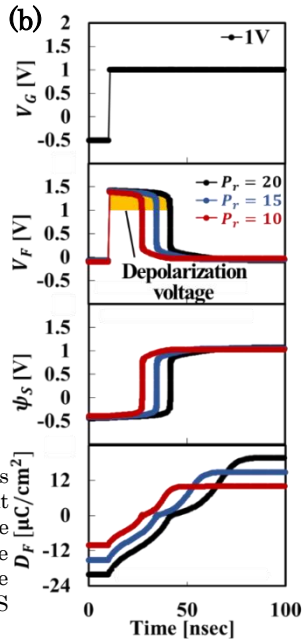


Fig. 1(a) Calculated hysteresis loops with variable remanent polarization. (b) Effects of the remanent polarization for the time developing of the electrical behavior in MFS capacitor.

[References] 1) F. A. McGuire et al., Nano. Lett., 17, 4801 (2017). 2) B. Obradovic et al., arXiv: 1801. 01842v1 [cond-mat. Mes-hall](2018). 3) 高田他, 第 65 回応用物理学会春季学術講演会,19a-C104-7, (2018). 4) K. Takada et al. Jpn. J. Appl. Phys, Submitted (2018)