

HfO₂:Y/Si (100)ヘテロエピタキシャル薄膜の構造とその電気特性

The structural and electrical properties of HfO₂:Y/Si (100) hetero epitaxial films

阪府大工, [○]鎌田 大輝, 高田 賢志, 桐谷 乃輔, 吉村 武, 芦田 淳, 藤村 紀文

Osaka Pref. Univ., [○]D. Kamada, K. Takada, D. Kiriya, T. Yoshimura, A. Ashida and N. Fujimura

E-mail: fujim@pe.osakafu-u.ac.jp

【はじめに】 強誘電体ゲート型トランジスタ(FeFET)は、次世代不揮発性メモリの他に適応学習型ニューロモルフィックデバイスや急峻なスイッチング特性を有する負性容量トランジスタとして期待されている。これらのデバイス実現に向けては、減分極電界を低減するためにI(絶縁体)層を挟まない金属-強誘電体-半導体(MFS)構造を得ることが極めて重要となる。近年報告されたHfO₂基強誘電体[1]は、シリコンCMOSプロセスに適合性が高く、10nm以下の膜厚においても強誘電性を示すことから、注目を集めている。これまでにHfO₂基強誘電体を用いた、強誘電体ゲート型トランジスタの作製やその動作検証が報告されている[2]が、強誘電体/半導体界面へのI層の挿入による減分極電界や多結晶膜であることに起因する多分域状態のために高速動作や低電圧駆動に問題が生じる。我々はPLD法を用いてYを7%添加したHfO₂をSi基板上にエピタキシャル成長させることに成功した[3]。しかし格子不整合が約6%と大きいために、成長中の歪緩和や三次元核発生と島状成長、そしてそれに伴って生じる界面準位やリーク電流などの問題が顕在化している。そこで本講演では、HfO₂:Y/Si エピタキシャル構造の成長初期過程とリーク電流や界面の誘電特性との相関について議論する。

【実験方法と結果】 Yを7at%添加したHfO₂の焼結体をターゲットとして使用し、PLD法を用いて(001)p-Si基板上にHfO₂薄膜を成長させた。基板温度700°C、酸素分圧を1mtorrに固定し、20-30nm程度の膜厚のHfO₂:Y エピタキシャル薄膜を製膜した。in-situ RHEEDで成長過程を詳細に評価したところ、7nm以下の膜厚において格子歪を受け成長していることが明らかとなった。Fig.1には170~300Kにおいて測定したI-V電流の測定結果を示す。蓄積領域である負バイアス側は空乏領域である正バイアス側と比較して温度依存性が小さい。Fig.2にはAFMカンチレバーを用いて測定したHfO₂:Y エピタキシャル薄膜の表面形状と直流電圧印可時の電流マッピング測定の結果を示す。表面形状より3次元成長由来の結晶粒が観察される。電流マッピング測定の結果から、粒界付近で局所的に約10⁻¹A/cm²の電流が流れていることが観察される。以上の結果から、Si上に界面SiO₂層の形成を伴わずエピタキシャル成長したHfO₂薄膜は三次元核に起因するリーク電流が問題であることが示唆される。

【参考文献】 [1] J. Muller *et al.* *J. Appl. Phys.* 110, 114113(2011). [2] E. Yurchuk *et al.* *IEEE trans. Electron dev.* 61, 3699(2014). [3] 高田他、641th JSAP 2017spring, 17p-304-4.

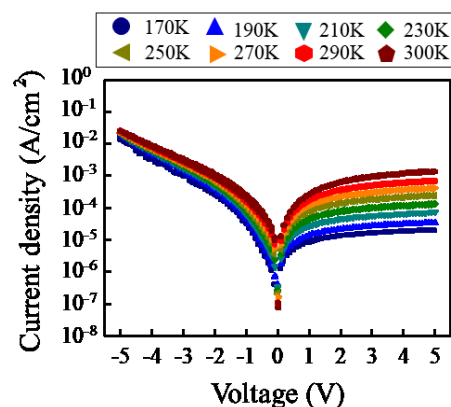


Fig.1 Temperature dependence of J-V properties of HfO₂:Y epitaxial film.

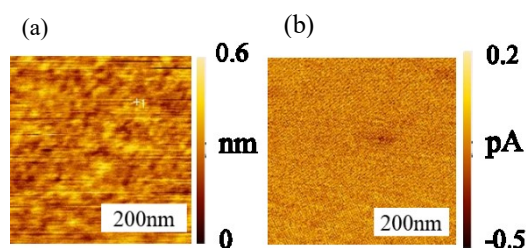


Fig.2 (a) Surface morphology, (b) Current mapping of HfO₂:Y epitaxial film using AFM.