

光パスゲート論理に基づく光波長多重並列加算器(2) ～熱光学スイッチによる動作実証～

Optical WDM parallel adder based on optical pass gate logic (2)

～ Experimental study using thermo-optic switch ～

NTT ナノフォトニクスセンタ¹, NTT 物性基礎研²,
京都大学大学院³, 九州大学大学院⁴, 産業技術総合研究所⁵

○新家昭彦^{1,2}, 石原 亨³, 野崎謙悟^{1,2}, 北翔太^{1,2}, 井上 弘士⁴,
Guangwei Cong⁵, 山田浩治⁵, 納富雅也^{1,2}

NTT Nanophotonics Center¹, NTT Basic Research Labs.², Kyoto Univ.³, Kyushu Univ.⁴

○A. Shinya^{1,2}, T. Ishihara³, K. Nozaki^{1,2}, Shota Kita, K. Inoue⁴,
G. Cong⁵, K. Yamada⁵, and M. Notomi^{1,2}

E-mail: shinya.akihiko@lab.ntt.co.jp

【はじめに】電子回路の演算速度は、信号が伝搬する経路内の抵抗(R)とキャパシタンス(C)による伝播遅延に大きく影響を受け、その高速化には限界が見えつつある。我々はこの問題を解決すべく、電氣的に処理された信号で経路内の光パスゲートを制御し、経路に光を伝搬させるだけで演算を完了できる cascaded-BDD(BDD, binary decision diagram)に基づく光電融合型の光並列加算器を提案している[1-2]。今回我々は、光並列加算器のプロトタイプを作製し、熱光学効果を用いた光スイッチにおいて 4 ビット加算演算の原理実証を行ったので報告する。

【回路構成・実験結果】 図 1 に回路の光学顕微鏡写真を示す。黒枠は 3 つの Mach-Zehnder interferometer (MZI) で構成される Full Adder (FA) であり、2 ビットの電気入力(x_i, y_i)に対して加算演算を実行する。赤矢印は桁上げ信号の伝搬経路で演算速度を律速するクリティカルパスとなっており、その伝播遅延(τ_{pass})は 7ps/桁以下である。

図 2 に 4 ビットの演算結果 ($Z=X+Y$, $X=2^3x_3+2^2x_2+2^1x_1+2^0x_0$, $Y=2^3y_3+2^2y_2+2^1y_1+2^0y_0$, $Z=2^4C_4+2^3S_3+2^2S_2+2^1S_1+2^0S_0$) を示す。ここで、 S_0, S_1, S_2, S_3, C_4 は、0 ビット～4 ビット目の加算出

力である。図 2 の赤線と青線はそれぞれ桁上げ信号とその否定信号に対応し、それらを合わせた信号が加算演算結果となる。本回路は、これらを波長多重し、同一回路で信号処理を行うことが可能である。本実験では簡単のため、赤線と青線の信号に同じ波長の光を個別に入力し、グラフ上で重ね合わせることで波長多重信号と同等の信号を得ており、その結果は本回路が 4 ビットの加算器として機能することを示している。

本加算器は、熱光学効果を用いたスイッチで構成されるため、一桁あたりの演算遅延($\tau_{delay} = \tau_{switch}/N + \tau_{pass}$) は ms/桁である。ただし、数 10 ピコ秒程度の τ_{switch} も利用可能であり、かつ、この項が演算桁数(N)に反比例する特性を勘案すると、将来的には CMOS 回路における演算遅延 (~20ps/桁) よりも圧倒的に小さな超低遅延演算が実現可能であると期待される。

本研究は、JST、CREST、JPMJCR15N4 の支援を受けたものである。

[1] 新家ら、春季応物, 16a-F202-14 (2017)

[2] 石原ら、OPTICS 2017, Lausanne (2017)

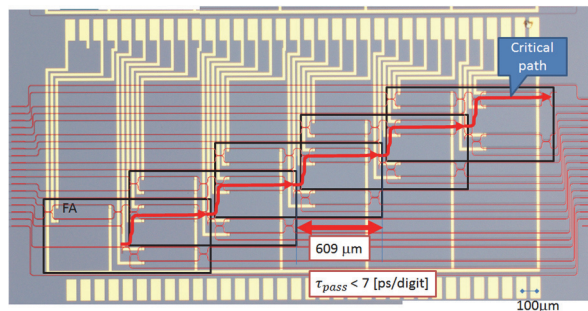


Fig. 1 Optical parallel adder

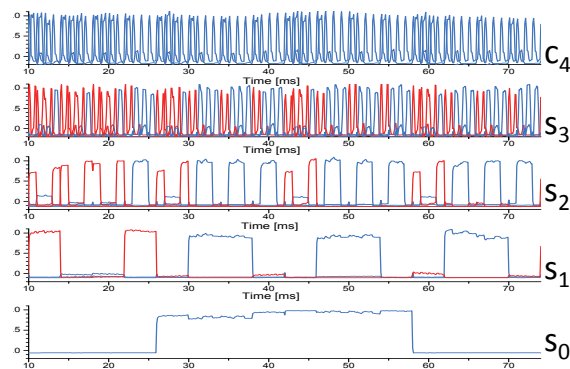


Fig. 2 Experimental result