

# 窒素添加 LaB<sub>6</sub> 界面制御層によるしきい値電圧制御を用いた ペンタセン Pseudo-CMOS の堆積温度依存性

## Deposition Temperature Dependence on Pentacene-based Pseudo-CMOS utilizing Threshold Voltage Control by N-doped LaB<sub>6</sub> Interfacial Layer

東工大工学院 <sup>○</sup>前田 康貴、朴 鏡恩、小松 勇貴、大見 俊一郎

Tokyo Institute of Technology, <sup>○</sup>Yasutaka Maeda, Kyung Eun Park, Yuki Komatsu, and Shun-ichiro Ohmi

E-mail: maeda.y.al@m.titech.ac.jp, ohmi@ee.e.titech.ac.jp

### 1. はじめに

前回、我々は窒素添加 LaB<sub>6</sub> 界面制御層(IL)によるしきい値電圧( $V_{TH}$ )制御を用いた、ペンタセン Pseudo-CMOS について報告した[1]。今回、Pseudo-CMOS における、ペンタセンの堆積温度依存性について検討したので報告する。

### 2. 試料作製方法および評価方法

Wet 酸化により酸化膜(13 nm)を形成した SiO<sub>2</sub>/Si(100)基板上に、RF スパッタ法により RF 出力 20 W で窒素添加 LaB<sub>6</sub> IL (1.2 nm)を室温堆積し、パターニングを行った。次に、ペンタセン(10 nm)を基板温度を室温または 100°C とし、堆積レート 0.3 nm/min で形成した。さらに、Au コンタクト電極( $L_D/W_D = 50 \mu\text{m}/1700 \mu\text{m}$ 、 $L_L/W_L = 300 \mu\text{m}/500 \mu\text{m}$ )を形成した後に、Al を用いて出力電極およびバックゲート電極を形成し、Pseudo-CMOS を作製した。作製したデバイスに対して、インバータ特性を評価した。

### 3. 実験結果および考察

図 1(a)に各 OFET の  $V_{TH}$  の  $V_D$  依存性を示す。ペンタセンの堆積温度を 100°C とすることにより、室温堆積と比較して  $V_{TH}$  差が増加することが分かった。この結果、図 1(b)に示すように、入出力特性の出力電圧のスイング幅が 0.98 V から 1.6 V に増加することが分かった。しかし、 $I_D$ - $V_D$  特性の動作点から抽出した特性には至っていない。ゲートリークによりインバータ特性が劣化していると考えられ、デバイスの微細化により更なる改善が期待できる。

#### 謝辞

本研究にご協力いただいた本学の工藤聡也氏、東北大学の故大見忠弘名誉教授、後藤哲也准教授、住友大阪セメント株式会社の高橋健太郎氏に感謝致します。また、本研究の一部は

JSPS 科研費 15K13969 および 18J14821 の支援により行われた。

#### 参考文献

[1] 前田 他, 第 65 回春季応物予稿集, p. 11-345 (2018).

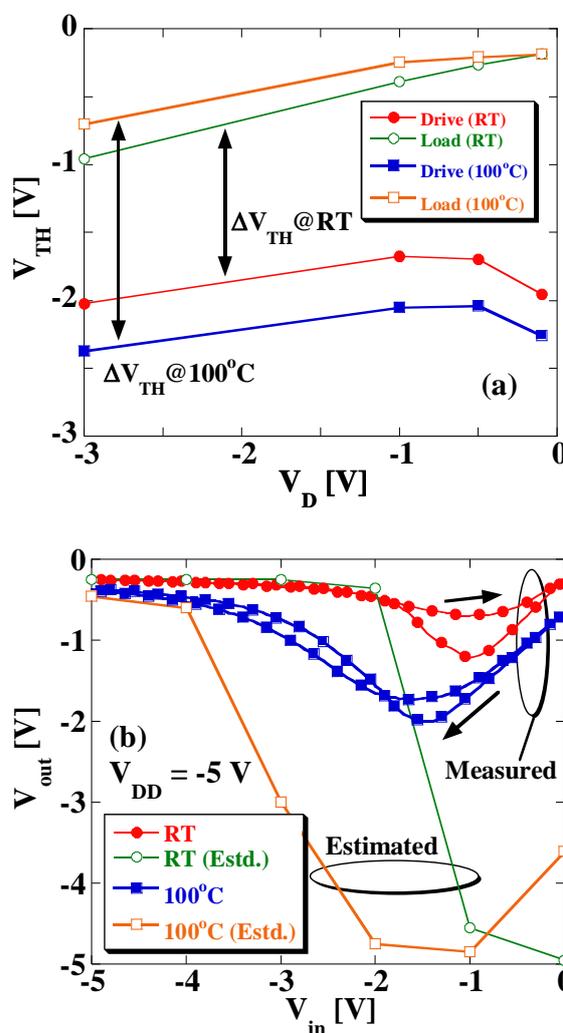


図 1 (a)駆動 OFET および負荷 OFET の  $V_{TH}$  の  $V_D$  依存性。(b)入出力特性のペンタセン堆積温度依存性。