

強誘電性材料による Si 集積回路の低消費電力化の検討

Ultralow Power Si CMOS Logic Circuit Enabled by Ferroelectric Material

東大生研 小林正治

Institute of Industrial Science, The University of Tokyo

E-mail: masa-kobayashi@nano.iis.u-tokyo.ac.jp

現在 Cyber-Physical-System (CPS) が重要なプラットフォーム技術となっている。IoT エッジデバイスが物理空間のデータを収集し、そのデータをビッグデータとしてクラウドシステムが仮想空間で保存・管理・分析し、戦略的な新しい社会サービスが物理空間に提供される。CPS においては増々多くのコンピューティングデバイスが必要になるが、環境に配慮したグリーンなシステムの構築のためには個々のデバイスの低消費電力化が欠かせない。また近年活気づいている機械学習の高度なアルゴリズムを実装するためにはデバイスの高エネルギー効率化も重要となる。今後デバイスのエネルギー効率を飛躍的に改善するためにはトランジスタ技術の革新が必要であり [1], その有力候補が急峻サブスレシヨルド係数トランジスタ技術である。

通常 MOS トランジスタのサブスレシヨルド係数には 60mV/dec という物理限界が存在することが知られており、この限界を乗り越え、より低電圧で動作しかつリーク電流を抑えられるトランジスタ技術が期待されている。その中でも特に有望なのが負性容量トランジスタ技術である [2]。負性容量トランジスタは MOS トランジスタのゲート絶縁膜として強誘電体薄膜を用いたもので、負のゲート絶縁膜容量により実効的に表面ポテンシャルが増幅され急峻なサブスレシヨルド特性が得られる。最近 CMOS における high-k 絶縁膜として用いられる HfO_2 において強誘電性が発見された [3] ことを契機に負性容量トランジスタ技術が大きな注目を集めている。

私たちのグループではこの強誘電体 HfO_2 を用いた負性容量トランジスタの可能性に早くから着目し、低電圧・高エネルギー動作のためのデバイス設計 [4], 動作速度の理論限界 [5] などを理論・実験の両面から行ってきた。それ以降実際に 60mV/dec を切るサブスレシヨルド係数をもつ強誘電体 HfO_2 負性容量トランジスタの実験実証報告が相次いでいる。一方、負性容量トランジスタの抱えるであろう課題についても理解が進んできており、半導体メーカーは本トランジスタ技術が研究段階から開発段階に進められるか否かを見定めたいと真剣に考えている。

本講演では、負性容量トランジスタの基礎から強誘電体 HfO_2 発見以降の最新の研究動向までを解説し、今後の展望と課題について議論する。特に負性容量トランジスタの動作原理と動作速度限界について再検討した最近の結果 [6] についても詳細に述べたい。

- [1] IRDS 2017 Edition Reports, <https://irds.ieee.org/roadmap-2017>.
- [2] S. Salahuddin and S. Datta, Nano Lett., 8, 2, 405 (2008).
- [3] J. Muller, T. S. Bosccke, U. Shroder, S. Mueller, D. Brauhaus, U. Bottger, L. Frey, and T. Mikolajick, Nano Lett., 12, 4318 (2012).
- [4] M. Kobayashi and T. Hiramoto, VLSI Tech. Symp., 2015, p.212, AIP Advances, 6, 025113 (2016).
- [5] M. Kobayashi, N. Ueyama, K. Jang, and T. Hiramoto, IEDM Tech. Dig., 2016, p. 314.
- [6] C. Jin, T. Hiramoto, and M. Kobayashi, To be presented in SSDM 2018.