

## 高 TER・多値メモリ性を有する

HfO<sub>2</sub> 強誘電トンネル接合メモリのためのデバイスおよびプロセス設計  
Device and Process Design for HfO<sub>2</sub>-Based Ferroelectric Tunnel Junction Memory

## toward Large Tunneling Electroresistance Effect and Multi-level Cell

東大生研

○(M2)多川 友作, (D1)莫非, 更屋 拓哉, 平本 俊郎, 小林 正治

IIS, Univ. of Tokyo

○Yusaku Tagawa, Fei Mo, Takuya Saraya, Toshiro Hiramoto,  
and Masaharu Kobayashi E-mail: tagawa@nano.iis.u-tokyo.ac.jp

【はじめに】 近年発見された強誘電 HfO<sub>2</sub>(Fe:HfO<sub>2</sub>)は[1]、極薄膜(>3nm)[2]でも強誘電性を示し、CMOS プロセスとの整合性が高いために、とりわけ高効率コンピューティングを目的とした半導体デバイスを実現できる材料として期待されている。そのうち、不揮発性を有する強誘電メモリにおいて、最も微細化可能な構造である強誘電トンネル接合メモリ (Ferroelectric Tunnel Junction memory : FTJ)が注目を集めている。しかし、FE:HfO<sub>2</sub>の FTJ は強誘電材料としてのプロセス技術の研究余地が大きく、先行研究でも[3]-[5]、設計指針の議論は十分施されていない。そこで、本研究では FTJ の設計課題に着目し、設計に基づいた Fe:HfO<sub>2</sub>の FTJ の有効なプロセスの開発と、高 TER の実現を目指す[6]。

【実験】 FTJ の直接トンネリングモデルを用い、FE:HfO<sub>2</sub> のデバイスパラメータを参考にして、電極の違いによる設計指針をシミュレーションした。指針を基に、下部電極を高濃度ドーパした n<sup>+</sup>-Si 基板上に、Zr をドーパした FE:HfO<sub>2</sub>膜を 10nm 成膜し、Metal-Ferroelectric-Silicon (MFS) のキャパシタを作製した。Fig.1 に 4 つのプロセス検討を示す。プロセス A 及びプロセス B は上部電極が TiN 電極であり、それぞれ PMA 及び PDA で結晶化した。またプロセス C 及びプロセス D は Al 電極であり、それぞれ PDA と PMA を行った。但し、プロセス D では PMA を行った後、TiN を取り除き、Al を蒸着させることで、FE:HfO<sub>2</sub>を結晶化した。

【結果】 Fig. 2 にプロセス A 及び C、D の過渡的電流測定の結果を示す。プロセス A では抗電圧が正電圧方向にシフトし、正電圧書き込み時に負の高電圧の影響を受ける可能性がある。また、プロセス C では抗電圧シフトが生じにくい一方で、低い分極反転電荷量が課題となる。そこで、プロセス D を採用することで、比較的原点对称な抗電界及び、大きな分極反転電荷量を獲得した。

FTJ を作製するため、プロセス D の薄膜化を試みた(Fig. 3)。原点对称な抗電圧並びに、設計指針の要請を満たす残留分極値(~4 μC/cm<sup>2</sup>)を 4nm で達成、TER=30 を実現した。また、書き込み電圧を適切に制御することで、TER 比を変調することに成功し、多値メモリ化が可能となった。

【まとめ】 我々は MFS 構造で FE:HfO<sub>2</sub>を用いた FTJ のデバイス設計を行い、金属電極置換プロセスを開発した。4nm の FE:HfO<sub>2</sub>膜を用いて多値メモリ性を有した TER=30 の FTJ を実証した。

【謝辞】 本研究は東京エレクトロンの支援を受けて行われた。

参考文献[1] J. Muller, et al., Nano Lett. 12 4318 (2012) [2] Tian, Xuan, et al. APL 112.10 102902. (2018) [3] S. Fujii, et al., VLSI Symp., p.148 (2016) [4] A. Chouprik, et al., Microelectron. Eng., 178 250 (2017) [5] Z. Fan, et al., APL 108 232905 (2016) [6] M.Kobayashi, et al., SNW, p.29-30 (2018)

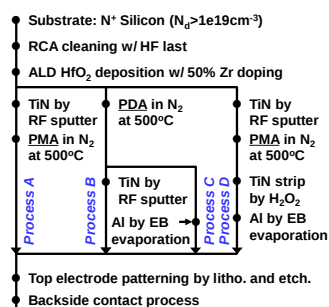


Fig.1 Device fabrication process flow of ferroelectric HfO<sub>2</sub> FTJ with several different branches.

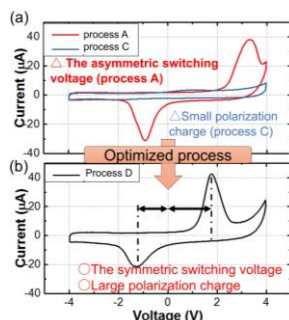


Fig.2 (a) Measured transient I-V curve of process A, process C and (b) process D.

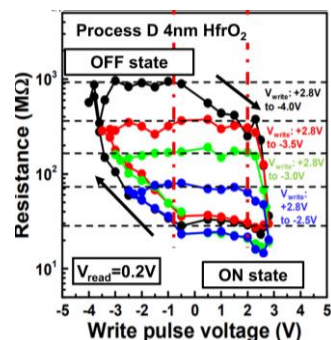


Fig.3 Measured TER of FTJ with 4nm ferroelectric HfZrO<sub>2</sub> as a function of write pulse voltage.