大面積集積化に向けたスパッタ MoS_2 薄膜を用いた Top-Gate nMISFETs

Sputter-Deposited-MoS_2 nMISFETs with Top-Gate for Large Area Integration

東工大 [1]，明治大 [2]，○松浦賢太朗 [1]，清水淳一 [1]，外山真矢人 [1]，大橋匠 [1]，宗田伊理也 [1]，石原聖也 [2]，
角嶋邦之 [1]，筒井一生 [1]，小椋厚志 [2]，若林整 [1]

Tokyo Tech[1], Meiji Univ.[2], °K. Matsuura[1], J. Shimizu[1], M. Toyama[1], T. Ohashi[2], I. Muneta[1], S. Ishihara[2],
K. Kakushima[1], K. Tsutsui[1], A. Ogura[2] and H. Wakabayashi[1], E-mail: matsuura.k.ae@m.titech.ac.jp

1. はじめに

MoS_2 膜は層状構造や柔軟性，光透過性などの良好な機械的，光学的特性を有し，バンドギャップ（単層：1.8 eV，多層：1.2 eV）を持つため[1-2]，新たな 2 次元チャネル材料として注目されている．一方で、MoS_2 膜の形成には，剥離法が主に用いられるが，大面積成膜に課題があるため[3]、スパッタリング法が用いられている[4,5]．しかし依然、デバイス作製プロセスに課題が多い。そこで本研究では、シリコンのプロセスインテグレーション技術を用いて nMISFETs の作製に成功したため、以下に報告する。

2. 試料作製方法

Fig. 1 のように SiO_2/Si 基板上にリフトオフプロセスによって、窒化チタン(TiN)ソース・ドレイン・コンタクトを形成した後、スパッタリング法によって MoS_2 膜を、原子層堆積法(ALD)によって Al_2O_3 膜をそれぞれ 3 nm, 27 nm 堆積した。活性領域を形成後、MoS_2 膜の側壁を保護するため、二層目の Al_2O_3 膜を堆積している。TiN ゲート電極は反応性イオンエッチング(RIE)によって形成した。

3. 結果

スパッタ MoS_2 膜をチャネルとした MISFET 構造の形成と(Fig. 2)、その電気特性の取得に成功した。MISFET のチャネル移動度は 0.11 cm^2/V-s であった。Fig. 3 に、すでに報告されている MoS_2-FET との移動度の比較を示す。本研究の MISFET は他の MoS_2-FET に比べて移動度が高くはないが、今後 MoS_2 薄膜のグレインサイズを増大させ、寄生抵抗を低減させることで向上することが期待される。

4. まとめ

スパッタリング法と Al_2O_3 保護膜を用いることで、MoS_2-nMISFETs を作製することに成功した。今後は移動度の向上を目指す。

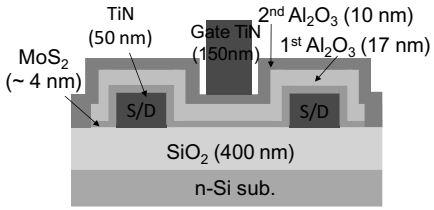

Fig. 1 Cross-sectional illustration of nMISFETs.

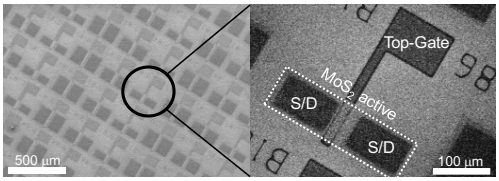

Fig. 2 Bird's-eye views of chip-level-integrated nMISFETs.

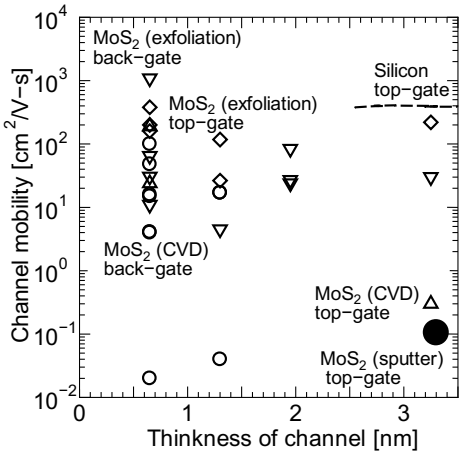

Fig. 3 Mobility comparison with silicon [6] and MoS_2 synthesized by three methods with top and back gates.

謝辞 本研究の一部は JST CREST JPMJCR16F4 と COI 及び、JSPS 科研費 26105014 の助成を受けたものである。

参考文献

[1] H. Wang, *et al*., *IEDM*, 4.6, 88-91, (2012).
[2] A. Kuc, *et al*., Physical review B **83**, 245213, (2011).
[3] K. Matsuura, *et al*, Journal of ELECTRONIC MATERIALS, Vol. 47, 7, (2018).
[4] T. Ohashi, *et al*., Jpn. J. Appl. Phys. 54 04DN08, (2015).
[5] K. Matsuura, *et al*., EDTM, 6A-3, (2018).
[6] K. Uchida, *et al*., IEDM, (2002).

© 2018年 応用物理学会