

ファンデルワールス積層ヘテロ構造のエレクトロニクス 一層状ヘテロ界面の容量解析

van der Waals heterostructure electron devices

東大マテリアル 長汐晃輔

Univ. Tokyo, K. Nagashio

E-mail: nagashio@material.t.u-tokyo.ac.jp

電子/光デバイスの過去を振り返ると SiO₂/Si の界面準位制御及び化合物系ヘテロ界面の格子不整合性低減の歴史であると言っても過言ではない。このような 3 次元系半導体と比較して、2 次元層状ヘテロ構造は、“理想的には” ダングリングボンドの無い面内結合かつ vdW 界面のため格子不整合とは無関係な積層が可能であり、電気的に不活性な界面と形容されることが多い。しかしながら、2 次元層状ヘテロの界面状態を容量の周波数特性から抽出する基本的な実験は非常に限定的であり、“理想的な” 界面かどうかは未だ明確ではない。本講演では、代表的な 2 次元層状界面の容量解析の概説を通して層状ヘテロ界面の全体像を捉えたい。

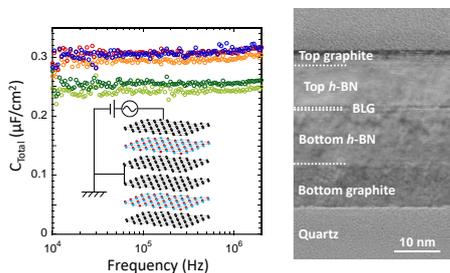
容量計測での実験的困難さは、高濃度 Si 基板に起因した浮遊容量であり、2 次元系ゆえの FET 構造に起因したチャネル抵抗の影響である。本実験では石英基板上にデバイスを作成することで基板起因の浮遊容量を除去し、等価回路モデル解析からチャネル抵抗の影響を検討した。結果として、2 層グラフェンでは、移動度が高くチャネル抵抗の影響無く容量計測が可能である。酸化物質アモルファス基板に内在する本質的なポテンシャル揺らぎから隔離した完全 2 次元層状ヘテロ FET において、トップゲート容量に周波数依存性が観測されなかったことから、計測周波数範囲内で界面準位は検出限界以下であり、電気的に不活性な界面が確かに達成されることがわかる。

一方、MoS₂ では、*h*-BN とのヘテロで SS が理想的な 60meV/dec に近い値が得られるが、実用化には high-*k* 導入は必須であるため、high-*k* 界面を主に検討した。移動度の低い MoS₂ では、実験的に得られる容量の周波数依存性は高いチャネル抵抗に起因しており、界面準位を捉えたものではない。それ故、トップゲートへの単一パルス印可時の高速 IV 計測から、界面準位への電子の捕獲/放出過程を捉え、10¹²~10¹³ cm⁻²eV⁻¹ の界面準位を得た。単層では、10¹³ cm⁻² 程度存在する S 欠陥の準位とは直接的には関係なく、high-*k* 堆積に起因した歪により、伝導帯を形成する Mo の *d* 軌道の結合角のゆらぎが起源であると推測される。堆積手法の高度化が必須である。最後に、2 次元系ヘテロ構造が最大限生かされるトンネル FET において最近の結果を紹介する。

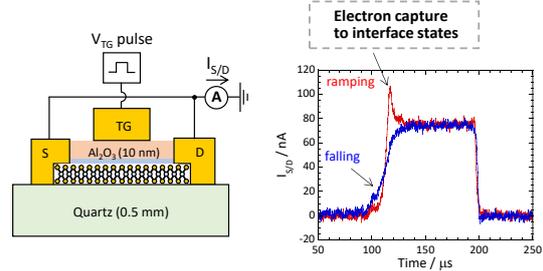
2D が“次世代デバイス”という扱いから脱却するためには、3 次元界面との違いを理解し、制御していくことが重要であり、少しでも貢献したい。

【謝辞】本研究は、NIMS 谷口博士、渡邊博士、埼玉大上野博士らとの共同研究の成果である。

BLG: Electrically inert interface



TMDC: Direct observation of e-capture/emission



2D-TFET: BTBT & NDR trend

