SiO_2/p-GaN MOS キャパシタの電気特性評価

Evaluation of Electrical Properties of SiO_2/p-GaN MOS Capacitors

阪大院工 [1]，産総研 [2]　○(P)山田 高寛 [1]，(M2)寺島 大貴 [1]，野崎 幹人 [1]
山田 永 [2]，高橋 言諸 [2]，清水 三聡 [2]，細井 卓治 [1]，志村 考功 [1]，渡部 平司 [1]
Osaka Univ.[1], AIST[2]　○Takahiro Yamada[1], Daiki Terashima[1], Mikito Nozaki[1], Hisashi Yamada[2], Tokio Takahashi[2], Mitsuaki Shimizu[2], Takuji Hosoi[1], Takayoshi Shimura[1], and Heiji Watanabe[1]
E-mail: tyamada@mls.eng.osaka-u.ac.jp

【はじめに】高性能 GaN パワーデバイスの実現には、高品質な MOS 構造の形成が不可欠である。我々は n 型 GaN（n-GaN）上に SiO_2/GaO_x/n-GaN 積層構造を作製し、優れた界面特性（伝導帯近傍の界面準位密度が 10^{11} $cm^{-2}eV^{-1}$ 台以下）に加え、高い絶縁性（絶縁破壊電界が約 11 MV/cm）を有する高品質な GaN MOS 構造が実現可能であることを報告してきた[1,2]。しかし、GaN MOSFETs の作製では p 型 GaN（p-GaN）に対して反転型 n チャネル層を形成するため、絶縁膜/p-GaN 界面の詳細な理解が必要となる。そこで本研究では SiO_2/p-GaN MOS キャパシタを作製し、電気特性を評価したので報告する。

【実験方法と結果】試料には n-GaN 自立基板上に p+-GaN 層（5 μm, Mg 濃度 2×10^{19} cm^{-3}）と p-GaN 層（2 μm, Mg 濃度 5×10^{17} cm^{-3}）を順にホモエピ成長した p^--GaN/p^+-GaN/n-GaN を用いた。N_2 中 800ºC で 20 分間の活性化処理を行った後、5%HCl 溶液で洗浄し、TEOS-PECVD により SiO_2 層 27 nm を成膜した。成膜条件は、RF 電力 30 W、TEOS/O_2 流量 0.5/250 sccm、成膜圧力 79 Pa、基板温度 370ºC である。コンタクトホール形成後、Pd を真空蒸着してゲート電極とコンタクト電極をパターニングして SiO_2/p-GaN MOS キャパシタを作製した（図 1）。図 2 に作製した MOS キャパシタの双方向 C-V カーブを示す。測定周波数は 1 MHz～1 kHz である。1 回目に測定した C-V カーブ（青線）において、正バイアス側から負バイアス側への電圧掃引（+15 V → -20 V）にともなう容量値の増加が見られたが、最大容量値（C_{max}）は SiO_2 膜厚から予想される値（赤破線：約 0.13 μF/cm^2）の半分程度であり、十分なホールの蓄積は見られなかった。また、大きなヒステリシスに加えて、2 回目以降の測定では C-V カーブの負バイアス側へのシフトを確認した。これらの結果から、SiO_2/p-GaN 界面には高密度のホールトラップが存在すると考えられる。一方、空乏領域の $1/C^2$ プロットから見積もったアクセプタ濃度は 2.3×10^{17} cm^{-3} となり、Mg 濃度と近い値であることから、Mg は十分に活性化していると考えられる。講演当日は、SiO_2/p-GaN 界面の熱酸化にともなう界面特性への影響についても議論する。

【謝辞】本研究は、総合科学技術・イノベーション会議の SIP（戦略的イノベーション創造プログラム）「次世代パワーエレクトロニクス」（管理法人：NEDO）によって実施されました。

【参考文献】[1] T. Yamada *et al*, Appl. Phys. Express **11**, 015701 (2018). [2] 山田他, 第 65 回応物春季講演会予稿集, 18p-C302-8.

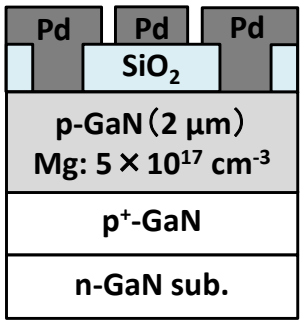

FIG. 1. Illustration of SiO_2/p^--GaN/p^+-GaN/n-GaN MOS capacitors with Pd gate and contact electrodes.

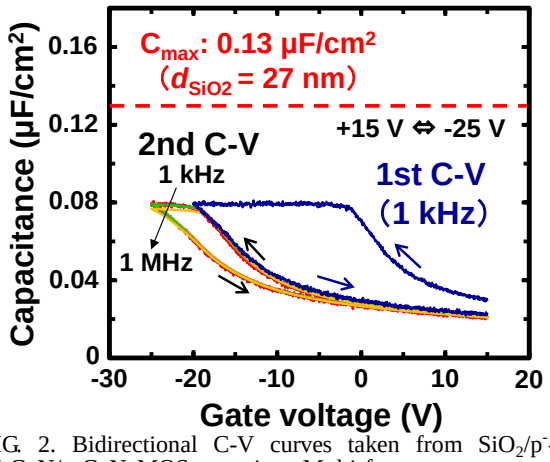

FIG. 2. Bidirectional C-V curves taken from SiO_2/p^--GaN/p^+-GaN/n-GaN MOS capacitor. Multi-frequency measurements ranging from 1 kHz to 1 MHz were carried out at room temperature. A red broken line corresponds to the capacitance estimated from the SiO_2 layer thickness.

© 2018年 応用物理学会