

高温アニール後の GaN 表面に形成した Al₂O₃ MOS 構造の評価

Characterization of Al₂O₃ MOS structures fabricated on high-temperature annealed GaN surfaces

北大量集セ, °及木 達矢, 橋詰 保

Hokkaido Univ. °T. Oyobiki and T. Hashizume

E-mail: oyobiki@rciqe.hokudai.ac.jp

【はじめに】縦型 FET に代表される高効率 GaN パワーデバイス実用化のため、局所的な不純物ドーピングの簡便な手法としてイオン注入技術の最適化が求められている。この手法はドーパントの活性化及び欠陥の回復のため、1000°C以上のアニールが必須となるが、高温のアニールは GaN 表面に欠陥準位を誘起し、デバイスの特性劣化を引き起こす可能性がある。そのため、高温アニールが GaN 表面に与える影響に関する評価は重要であるが、これまで詳細に調べた例は少ない。ここでは N₂ 雰囲気中、1050~1150°Cのアニール後に Al₂O₃ を堆積した MOS 構造の電氣的測定により、Al₂O₃/GaN 界面特性の評価を行った。

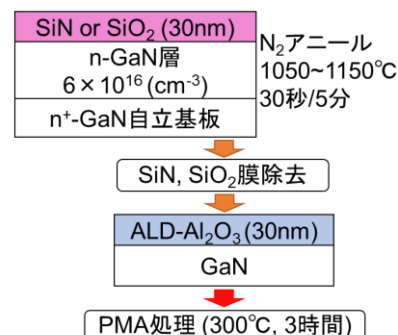


図 1 プロセスフロー

【実験】MOS 構造とプロセスフローを図 1 に示す。GaN 自立基板上に成長した n-GaN 層に保護膜としてスパッタ法を用いて SiN もしくは SiO₂ を 30nm 堆積し、N₂ 雰囲気中において 1050~1150°Cでアニールを行った(30 秒, 5 分)。その後 HF 処理によって保護膜を剥離し、H₂O と TMA を用いた ALD 法により Al₂O₃ を 30nm 堆積した。堆積温度は 300°Cで堆積レートは 0.11 nm/cycle であった。試料作製後、界面準位低減プロセスとして 300°C, 3 時間の大気 PMA(Post Metallization Annealing)を行った[1]。また、保護膜に SiN を用いた試料では、Al₂O₃ 堆積後に N₂ 雰囲気中において 400°Cの PDA 処理を施した。

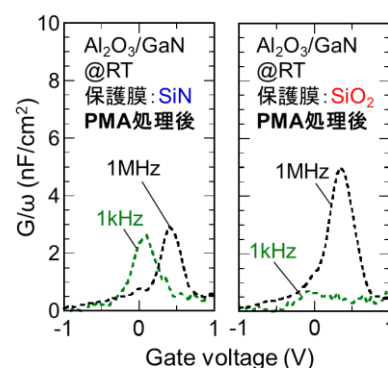


図 2 1100°Cアニール後の G/ω-V 特性

【結果と考察】図 2 に 1100°Cアニールを施した試料の G/ω-V 特性を示す。保護膜に SiN を用いた試料では、測定周波数 1kHz 及び 1MHz において高いコンダクタンスが観測された。SiO₂ を用いた試料では、1MHz 測定で顕著なピークが見られ、伝導帯下端近傍に高密度の界面準位が存在していることを示している。このことから、高温のアニールによって生じた GaN 表面の欠陥が Al₂O₃/GaN 界面の準位密度を増加させていると考えられる。

図 3 に保護膜に SiN を用いた試料において、Al₂O₃ 堆積後に 400°Cの PDA 処理を施した試料の C-V 特性を示す。400°Cの PDA 処理を施すことにより、周波数分散がほとんど見られず、さらに理想曲線とほぼ一致する結果が得られた。この結果から、1100°Cアニールによって生成される GaN 表面の欠陥は 400°Cの PDA 処理によって制御可能であることがわかった。

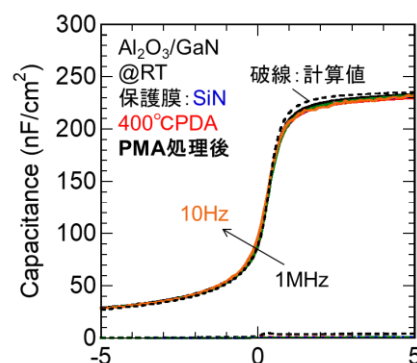


図 3 1100°Cアニール後、400°C PDA を施した試料の C-V 特性 (保護膜:SiN)

謝辞：本研究の一部は、総合科学技術・イノベーション会議の SIP(戦略的イノベーション創造プログラム)「次世代パワーエレクトロニクス」(管理法人：NEDO)によって実施されました。

[1] S. Kaneki, J. Ohira, S. Toiya, Z. Yatabe, J. T. Asubar and T. Hashizume, Appl. Phys. Lett. **109**, 162104 (2016).