

直接貼付 InP/Si 基板におけるボイド占有率のアニール時間依存性 (2)

Annealing time dependence on void occupancy of directly-bonded InP/Si substrate (2)

上智大学 理工学部, 早坂夏樹, 韓旭, Periyanyagam Gandhi Kallarasan,
相川政輝, 内田和希, 杉山滉一, 松浦正樹, 矢田拓夢, 下村 和彦Sophia University, Natsuki Hayasaka, Xu Han, Gandhi Kallarasan Periyanyagam, Masaki Aikawa,
Kazuki Uchida, Hirokazu Sugiyama, Masaki Matsuura, Hiromu Yada, Kazuhiko Shimomura
E-mail: kshimom@sophia.ac.jp

はじめに

近年シリコンフォトニクスに関する研究が盛んにおこなわれている。その背景には従来のデータセンタなどの大規模な集積回路における通信容量の増加に伴い、電気配線における発熱、消費電力の増大が問題としてある。シリコン基板上に III-V 族半導体レーザを集積する手段として、我々は直接貼り付け法によって貼り合わせた InP/Si 基板上に InP 系結晶の成長を行うことで光デバイスの集積および作製を行うことを提案してきた[1]。現在室温パルス発振まで成果を得られており、更なるレーザの特性向上には基板の平坦性が求められる。前回の実験から、InP/Si 基板作製時における長時間のアニールが基板の平坦性向上に繋がるという結果が得られた[2]。そこで、今回は昇温時間が異なる 2 種類の InP/Si 基板にそれぞれ同じレーザを成長させ、レーザ特性を評価した。

実験方法

はじめに MOVPE 法とウエットエッチングを用いて InP 基板から薄膜 InP 層を用意した。そして、この薄膜層と Si 基板に $H_2SO_4:H_2O_2:H_2O$ 溶液で洗浄を施すことで表面を親水化させ、両基板を貼り合わせた。その後基板に加熱処理を行い、その際の昇温を変化させた 2 種類の InP/Si 基板を作製した。表 1 の A と B は昇温時間を 8h と 16h にした温度プロファイルを表している。400°C におけるアニール時間と降温時間はどちらの基板も 1 時間である。加熱処理後に MOCVD を用いて InP/Si 基板上に図 2 のレーザ構造を成長させた。その後幅 $5\mu m$ のストライプレザに加工を施し、劈開しチップにして I-L, I-V 測定を行った。

実験結果

図 3 は加熱時間 8h と 16h の I-L と I-V 測定の結果を示したグラフである。それぞれの閾値電流値は 8h で 426mA, 16h で 324mA であった。また立ち上がり電圧を含めた I-V グラフ全体を比較すると 16h の電圧値が低い値を得た。これは長時間加熱により基板の平坦性が向上し、ボイドによる影響が少なくなったためだと考えられる。

謝辞

本研究は、JSPS 科研費 JP18H01503、カシオ科学振興財団の援助を受けて行われた。

参考文献

- [1] K. Matsumoto, J. Kishikawa, T. Nishiyama, Y. Onuki, and K. Shimomura, Jpn. J. Appl. Phys., vol.55, no.11, p.112201, 2016.
[2] 早坂他、2018 年春応用物理学会、17p-P3-20, 2018

	昇温時間 (h)	アニール時間(h)	降温時間(h)
A	8	1	1
B	16	1	1

表 1 加熱処理における温度プロファイル

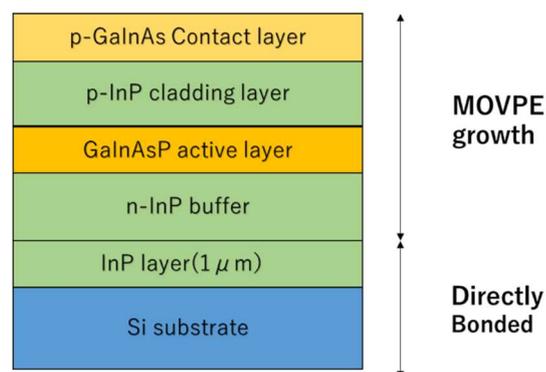


図 2 InP/Si 基板に成長した層構造

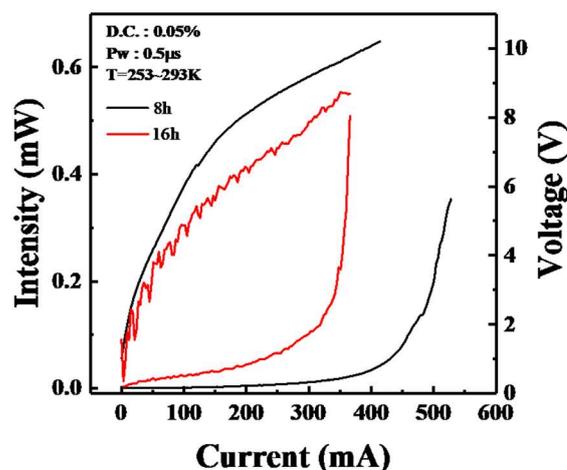


図 3 加熱時間 8h と 16h の I-L、I-V グラフ