[(GeTe)₂(Sb₂Te₃)₁]_n 超格子を用いたハイブリッドプラズモニック変調素子

Hybrid plasmonic modulator using $[(GeTe)_2(Sb_2Te_3)_1]_n$ superlattice

筑波大物理¹ 産総研² JST-CREST³ O(D) 杉山岳¹, 久保敦^{1,3}, 中野隆志^{2,3}

Univ. of Tsukuba¹, AIST², JST-CREST³, ^OTakeru Sugiyama¹, Atsushi Kubo^{1, 3}, Takashi Nakano^{2, 3}

E-mail: s1630072@u.tsukuba.ac.jp

研究背景・目的

近年,相変化材料である Ge₂Sb₂Te₅ 合金が有す る高い光学特性のコントラストを光デバイスに実 装するための研究が報告されている[1,2]. 不揮発 性の相変化材料のスイッチングデバイスへの適用 は、低消費エネルギー化が期待される.一方で、 スイッチング速度においては、アモルファス化に 比べて結晶化に長い時間が必要となる. [(GeTe)₂/(Sb₂Te₃)₁]_n 超格子(GST 超格子)は, Ge₂Sb₂Te₅合金と同様の平均組成を持ち,GeTe 層 と Sb₂Te₃ 層とによって超格子化されている. Ge 原子の位置の異なる RESET 相と SET 相の2種類 の結晶相間で、液相を介さずに相転移が生じるた め、合金よりも高速なスイッチ動作が可能になる [3,4]. 本研究では、電圧パルス印加による相転移 を用いて,通信帯波長 (λ = 1.55 μm) に対する電 磁場モードの繰り返し変調動作をおこなうデバイ スの設計を目的とする.

実験・FDTD シミュレーション

電圧パルス印加による相転移動作のテストのため, ITO (40 nm)/GST 超格子 (40 nm)/ITO (200 nm)/Au (80 nm)/Cr (8 nm)/Al₂O₃ 基板からなる, 20 mm×2 mmの短冊形試料を作製した.GST 超格子の上下の ITO 間に電圧パルス (パルス幅: 500 ns, 電圧: 0.2~4.0 V)を印加した場合の電流 - 電圧曲線を, Fig.1 に示す.1回目の測定(赤)において, 印加電圧が 3.1 V に到達したところで電流値の急増が確認され,抵抗値は~200Ω減少した.これは,GST 超格子が RESET (高抵抗)状態から SET

(低抵抗)状態に相転移したためと考えられる. 印加電圧の最大値が、測定装置に流れる電流値の 上限によって~3.0 Vに制限されていることから、 再 RESET 化は確認されなかった.

可逆的な相転移動作のため、試料内のGST 超格 子の体積を減少させて相転移電圧を低減させる必 要がある.そこで、有限時間領域差分(FDTD) 法により、デバイス構造を検討した.Fig.2 に、Si₃N₄ (20~100 nm)/TTO (120~400 nm)/Au (80 nm)/Cr (8 nm)/Al₂O₃ (1000 nm)からなる解析モデルを示す. Si₃N₄内に同じ厚さのGST 超格子が埋包されてい る.Si₃N₄/ITO/Au 部が、高屈折率/低屈折率/金属か らなるハイブリッド型表面プラズモン導波路構造 となっている.

デバイス内部の導波モードを解析したところ, GST 超格子下側の ITO (Lower ITO) 内部に電場 が強く局在しており,ハイブリッド型表面プラズ モンモードに特徴的な電場分布を確認した.入力 スリット端 (x=0) から 25 μ m の位置におけるデ バイス内の電場強度の RESET:SET 比を, Fig.3 に 示す. Lower ITO の膜厚が 240 nm, GST 超格子, および Si₃N₄の膜厚が 80 nm のときに最大である 14.7 dB の RESET:SET 比が予想される.

まとめ

Si₃N₄/ITO/Au からなるハイブリッド型表面プラ ズモン導波路内に,GST 超格子が埋包された構造 の変調デバイスの設計をおこなった.FDTD 法に よる電磁場シミュレーションの結果,ITO を電圧 印加のための電極,並びに導波路構造として用い ることで,波長1.55 µm に対する導波モードに14.7 dB の RESET:SET 比が得られることが分かった. 今後,この設計に基づいてデバイスを作製し,評 価していく.



Fig. 1. Current-voltage curves. Red circles, blue squares, and green triangles are, respectively, first, second, and third sequence.

Fig. 2. The schematic view of the simulation model.

Fig. 3. Power ratio (R) of SET/RESET. $R = P_{SET} / P_{RESET}$. Here, P_{RESET} and P_{SET} are, respectively, power at RESET and SET.

M. Rude *et al*, ACS Photonics., **2**, 669, (2015)
K. Kato *et.al*, Appl. Phys. Exp., **10**, 072201, (2017)
J. Tominaga *et al.*, Sci. Technol. Adv. Mater., **16**, 014402, (2015)

[4] R. Simpson et al., Nature nanotech., 6, 501, (2011)

[5] T. Sugiyama et al., SSDM2016, 863, (2016)