## 4H-SiC nMOSFETs における表面 CF4 エッチングの効果 Effects of CF4 surface etching on 4H-SiC nMOSFETs <sup>1</sup>広島大学ナノデバイス・バイオ融合科学研究所,<sup>2</sup>フェニテックセミコンダクター株式会社 <sup>0</sup>小早川貴一<sup>1</sup>,村岡幸輔<sup>1</sup>, 瀬崎 洋<sup>1,2</sup>,石川 誠治<sup>1,2</sup>,前田 知徳<sup>1,2</sup>,黒木 伸一郎<sup>1</sup> <sup>1</sup>Hiroshima Univ. Research Inst. of Nanodevice and Bio Systems,<sup>2</sup> Phenitec Semiconductor Co.,Ltd.

<sup>o</sup>Kiichi Kobayakawa<sup>1</sup>, Kousuke Muraoka<sup>1</sup>, Hiroshi Sezaki<sup>1,2</sup>,

Seiji Ishikawa<sup>1,2</sup>, Tomonori Maeda<sup>1,2</sup>, and Shin-Ichiro Kuroki<sup>1</sup>

E-mail: {kobayakawa-kiichi, skuroki}@hiroshima-u.ac.jp

## 【はじめに】

近年 SiC MOSFET における絶縁膜-SiC 界面の高い界面準位密度に因る低チャネル移動度が課題 である[1]。そこでこれまで本研究では、Si 基板の表面洗浄方法である希フッ酸によるフッ素終 端化をアナロジーに用いて、SiC 基板表面に対して CF4+ O2 プラズマでのドライエッチングを熱 酸化の前処理として導入し、MOS キャパシタの測定結果より、酸化膜耐圧の向上や耐圧バラつ きのエッチング依存性などの効果を明らかにした[2]。今回はこの CF4 エッチング処理を施した 4H-SiC nMOSFETs への影響・効果を調べたので報告する。

## 【実験方法】

p型4H-SiC(0001)(4°off-axis, 6.0×10<sup>17</sup>cm<sup>-3</sup>)に対してAsイオン注入(Rp=70 nm, 5.0×10<sup>19</sup>cm<sup>-3</sup>)を行っ た後、LPCVDによってハードマスク形成、酸化膜ウェットエッチング後、ゲート部分にあたる SiC 基板に対してCF4+ O<sub>2</sub>(= 160: 40 sccm)ガスで基板表面をエッチング(25, 50, 100 nm)、その後酸 化炉にて1150℃でドライ熱酸化を行い20 nmのゲート酸化膜を形成した。ソース/ドレイン電極 として Ni/Nbを成膜しシリサイド化を行った。最後にゲート電極としてAIを堆積し、nMOSFET を作製した。作製したそれぞれのMOSFETに対してId-Vg測定、Id-Vd測定を行った。

## 【測定結果・考察】

図1に示すグラフは、各 CF<sub>4</sub> エッチング条件(0, 25, 50, 100 nm)の MOSFET の様々な L/W 幅(L: 5~15, 50~200 µm, W: 10~30, 100~400 µm)の計 30 個のしきい値電圧をプロットしたものである。エッチング処理が深くなるにつれてヒストグラムの分布曲線幅が狭くなっており、MOS キャパシタの測定結果である酸化膜耐圧—エッチング依存性と同様な傾向を示した。図2には上記の条件の MOSFET におけるゲートリーク電流 I<sub>G</sub> (Eox= 3MV/ cm)を示す。この結果から、線形領域での I<sub>G</sub> バラつきが、エッチング深さが深くなるにつれて減少していることがわかる。エッチング深さが深くなるにつれて酸化膜耐圧のバラつきが減少したこれまでの結果と相関性があり、より信頼 性の高い酸化膜が形成されたことがしきい値電圧のバラつき低減に寄与したと考える。

[1] H. Nagatsuma, S-I. Kuroki, M. De Silva, S. Ishikawa, T. Maeda, H. Sezaki, T. Kikkawa, M. Östling, and C.-M. Zetterling,

"4H-SiC nMOSFETs with As-doped S/D and NbNi Silicide ohmic contacts," Mat. Sci. Forum, 858, 573-576 (2016).
[2] <u>K. Kobayakawa</u>, K. Muraoka, H. Sezaki, S. Ishikawa, T. Maeda, and S.-I. Kuroki, "Effects of CF<sub>4</sub> surface etching on 4H-SiC MOS Capacitors," ICSCRM2017, Washington, D.C., WE. CP. 9, 17th~22nd, Sept (2017).



Fig. 1. Threshold voltage distribution of the CF4-plasma treated.



Fig. 2. Weibull plots of gate leakage current.