

4H-SiC Trench MOSFETs による短チャネル効果の抑制効果 Suppression of Short-Channel Effects in 4H-SiC Trench MOSFETs

°(M1)石井 友康¹, 黒木 伸一郎¹, 瀬崎 洋², 石川 誠治², 前田 智徳², 牧野 高紘³,
大島 武³, Mikael Östling⁴, Carl-Mikael Zetterling⁴

¹広島大学ナノデバイス・バイオ融合科学研究所, ²フェニテックセミコンダクター株式会社,

³量子科学技術研究開発機構(QST), ⁴KTH Royal Institute of Technology

°Tomoyasu Ishii¹, Shin-Ichiro Kuroki¹, Seiji Ishikawa², Tomonori Maeda², Hiroshi Sezaki²,
Takahiro Makino³, Takeshi Ohshima³, Mikael Östling⁴, Carl-Mikael Zetterling⁴

¹Hiroshima Univ., Research Inst. of Nanodevice and Bio Systems, ²Phenittec Semiconductor Co.,Ltd.,

³National Institutes for Quantum and Radiological Science and Technology (QST),

⁴KTH Royal Institute of Technology

E-mail: {tomoyasu-ishii, skuroki}@hiroshima-u.ac.jp

【はじめに】 高温・高放射線環境下で動作する半導体材料として、Si よりも耐性の高い 4H-SiC が注目されている。本研究グループでは、4H-SiC によるプレーナ型 MOSFET を作製し高温・高放射線曝露後での動作を確認した[1]。しかしプレーナ型は、セルフアライメントプロセスが適用できないため寄生容量が大きく高周波動作ができない。そこで、本研究グループではトレンチ構造を用いて疑似セルフアライメントプロセスを実現し容量の削減を行った[2]。本研究では、短チャネル化を進めることで更に高周波駆動可能な MOSFET を目指す。また、トレンチ構造は短チャネル効果が抑制できると考えられるため、チャネル長を変化させたプレーナ型とトレンチ型の MOSFET を作製し比較して評価を行った。

【デバイス作製方法】 P 型 4H-SiC エピタキシャル基板にハードマスクを形成し、ソース・ドレイン領域に As イオンを 500°C で高温イオン注入した。ハードマスク除去後、カーボンキャップを形成し、1800°C にて不純物活性化を行った。カーボンキャップを酸素プラズマで除去後、LPCVD で SiO₂ 膜を堆積した。RIE により、プレーナ型は SiO₂ 膜を、トレンチ型は SiO₂ 膜と SiC 基板をエッチングした。その後ドライ酸化 (1150°C) でゲート絶縁膜を 20 nm 成長させた。ソース・ドレイン領域にコンタクトホールを形成し、Ni と Nb をそれぞれ 50 nm 成膜し、950°C 窒素雰囲気ですりサイド化を行った。これにより SiC へのオーミックコンタクトを形成し、最後に Al 電極を堆積させた。

【測定結果】 Fig.1 に作製した MOSFETs の構造図を示す。同一基板上に従来型のダミーゲートプロセスを用いたプレーナ型 MOSFETs とトレンチ構造による疑似セルフアライメントプロセスによる MOSFETs を作製した。最小のチャネル長は 1 μm である。チャネル長 L=5 μm を基準に取った時のトレンチ型とプレーナ型のしきい値電圧の変化を Fig. 2 に示す。プレーナ型では、チャネル長が短くにあるにつれてしきい値電圧の顕著な低下がみられ、閾値電圧の降下は 5 μm のデバイスを基準とすると、チャネル長 1 μm のデバイスで $\Delta V_{TH} = -2.3V$ となった。これに対してトレンチ型 MOSFETs においては、同様に 5 μm のデバイスを基準とすると、変化幅は $\Delta V_{TH} = 0.1V$ であり、トレンチ型ではしきい値電圧の低下が確認されない。以上のことから、トレンチ構造 4H-SiC MOSFETs により短チャネル効果が抑制できていると考えられる。

[1] S-I. Kuroki, H. Nagatsuma, M. De Silva, S. Ishikawa, T. Maeda, H. Sezaki, T. Kikkawa, T. Makino, T. Ohshima, M. Östling, and C.-M. Zetterling, Mat. Sci. Forum, 858, pp.864-867 (2016).

[2] T. Kurose, S-I. Kuroki, S. Ishikawa, T. Maeda, H. Sezaki, T. Kikkawa, T. Makino, T. Ohshima, M. Östling, and C.-M. Zetterling, Mat. Sci. Forum, 924, pp. 971-974 (2018).

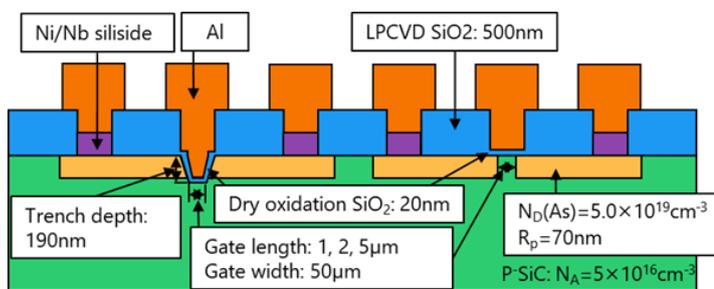


Fig. 1 Cross-sectional schematic of the planar and trench 4H-SiC MOSFETs fabricated on the same substrate.

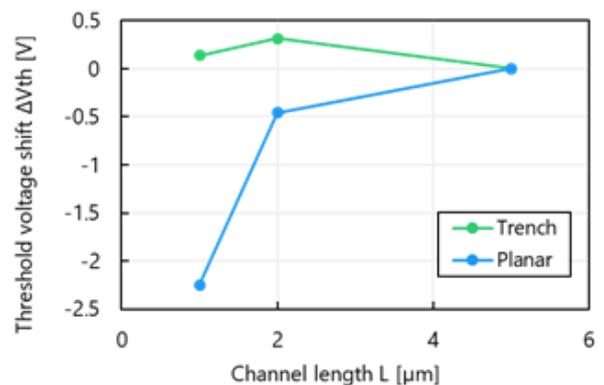


Figure 2 Threshold voltage roll-off characteristics of 4H-SiC planar and trench MOSFETs.