

# 半絶縁性 SiC 基板へのイオン注入により作製した ノーマリオフ型サイドゲート n-JFET および p-JFET の 400°C 動作

400°C operation of normally-off n- and p-JFETs with a side-gate structure  
fabricated by ion implantation into a high-purity semi-insulating SiC substrate

京大院工 ◯中島 誠志, 金子 光顕, 木本 恒暢

Kyoto Univ., ◯Masashi Nakajima, Mitsuaki Kaneko, Tsunenobu Kimoto

E-mail:nakajima@semicon.kuee.kyoto-u.ac.jp

**はじめに** 厳環境で動作可能な論理回路素子として SiC JFET が有望である。エピタキシャル成長層に作製した n-JFET と抵抗による論理回路の報告があるが[1]、消費電力低減の観点からノーマリオフ型の n-JFET、p-JFET を組み合わせた相補型 JFET による論理回路が理想的である。エピタキシャル層を利用した場合、同一基板上的ノーマリオフ n-JFET、p-JFET の作製は困難である。本研究では、半絶縁性基板へのイオン注入によりサイドゲート構造を有する n-JFET、p-JFET を作製し[2]、室温から 400°C でのノーマリオフ動作が確認できたため、その動作特性を報告する。

**JFET の作製と特性評価** 作製した JFET の構造の模式図を図 1 に示す。高純度半絶縁性 SiC 基板に P イオンを注入し n 型を、Al イオンを注入し p 型を形成した。ゲート部の pn 接合を急峻にするため、注入イオンのチャネリングの影響が少ない[110]方向にゲートを配置している[3]。ゲートおよびチャネルのドーピング密度は約  $5 \times 10^{19} \text{ cm}^{-3}$  および  $5 \times 10^{16} \text{ cm}^{-3}$  とした。イオン注入後 1650°C で 10 分間活性化アニールを行った。JFET の閾値電圧を決定するチャネル厚は、横方向チャネリングの影響を考慮して n-JFET では  $1 \mu\text{m}$ 、p-JFET では  $0.8 \mu\text{m}$  とした。チャネル幅(深さ方向)は約  $400 \text{ nm}$  とし、チャネル長は 2 から  $8 \mu\text{m}$  の間で変化させた。サイドゲート JFET はチャネルを両側から制御するダブルゲート構造となっており、従来型のシングルゲート構造に比べ高い相互コンダクタンスを有する。また、イオン注入時のマスクの設計によりチャネル厚を制御できるため、閾値電圧の制御性が良い。

作製した JFET は室温から 400°C で良好なトランジスタ動作を示した。室温から 400°C における飽和領域の n-JFET ( $V_D = 2 \text{ V}$ ) および p-JFET ( $V_D = -2 \text{ V}$ ) のゲート特性 ( $I_D$ - $V_G$  特性)を図 2 に示す。作製した JFET は室温から 400°C の範囲で、ノーマリオフ動作を示した。 $I_{ON}/I_{OFF}$  比は室温において n-JFET、p-JFET とともに  $10^7$  以上、400°C においても 1600 以上である。次に図 3 に閾値電圧の温度依存性を示す。破線は SiC の p-n 接合の拡散電位の温度変化から予測される閾値電圧の推定値である。実験値と予測値は非常に良い一致を示している。室温から 400°C での閾値電圧の変動は n-JFET において  $0.37 \text{ V}$ 、p-JFET において  $0.52 \text{ V}$  であり、これは SiC MOSFET の閾値電圧の変動に比べ極めて小さい。理論限界値が  $2.3kT/q$  で与えられるサブスレッショルドスロープも実験値が理論限界に非常に良い一致を示すことを確認しており、SiC JFET による相補型 JFET の優位性を示している。

[1] P. G. Neudeck, et al., AIP Advances **6**, 125119 (2016).

[2] 中島 他, 第 65 回応用物理学会春期学術講演会 20p-D103-10.

[3] G. Lulli, et al., IEEE Trans. Electron Devices **58**, 190 (2011).

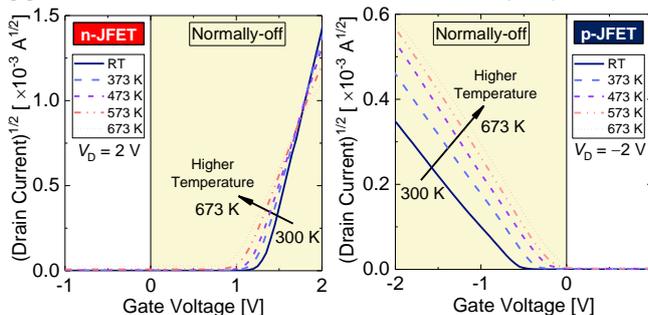


Fig. 2:  $I_d^{1/2} - V_g$  curves (transfer characteristics) of the (a) n-JFET and (b) p-JFET measured from RT to 673 K.

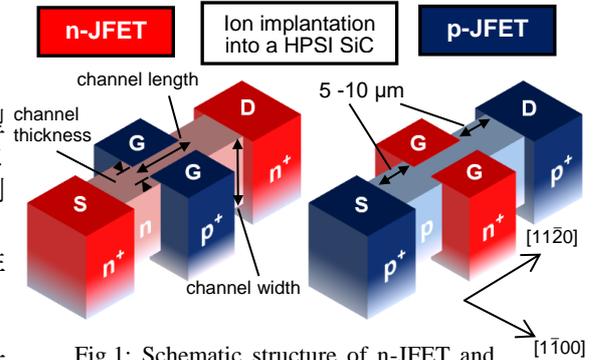


Fig. 1: Schematic structure of n-JFET and p-JFET fabricated in this study.

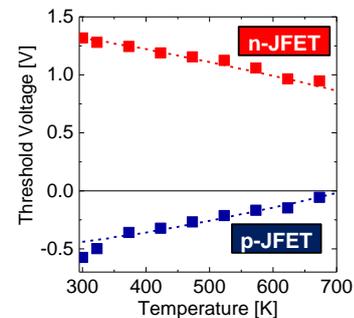


Fig. 3: Temperature dependence of threshold voltage of the n-JFET and p-JFET. The dashed lines are theoretical  $V_{th}$  estimation assuming  $\psi_p$  as the experimental value at RT (n-JFET) and 673 K (p-JFET).