

InGaAs n チャネル MOSFET における界面準位発生と基板ホール電流の関係 Relationship between interface state generation and substrate hole current in InGaAs n- MOSFETs

東京大学 院・工
 °尹尚希, 張志宇, 安大煥, 竹中充, 高木信一
 The University of Tokyo, School of Engineering
 °S. H. Yoon, D. H. Ahn, M. Takenaka and S. Takagi
 E-mail: kitte1357@mosfet.t.u-tokyo.ac.jp

【はじめに】 InGaAs は低い電子有効質量と高い電子移動度を持つため、将来の MOSFET のチャネル材料として注目を集めている一方、MOSFET の実用化に向けて、InGaAs MOS ゲートスタックの信頼性向上が重要な課題である。SiO₂/Si MOS 界面では、電気ストレスによる界面準位発生やキャリアトラッピングの機構がよく調べられており、特に、電気ストレスにより生成される n⁺ poly-Si/SiO₂/Si MOS 構造の界面準位は、基板ホール電流により評価できるホール発生量と強い相関があることが知られている[1-4]。我々は、Al₂O₃/InGaAs MOS 界面において、ゲート負バイアスでのストレスにより生じる大きい界面準位発生が正電荷トラップ量と相関することを見出し[5]、ホールが界面準位発生に関わっていることが示唆されている[5]。しかし、InGaAs MOS 界面の界面準位発生とホールとの関係を示す直接的な実験証拠は得られていない。そこで本研究では、Al₂O₃/InGaAs n チャネル MOSFET を用いて、電気ストレスによって発生する界面準位と基板ホール電流の関係を調べたので報告する。

【研究内容】 電気ストレスによる InGaAs 界面の界面準位発生と基板ホール電流の関係を調べるため、In_{0.53}Ga_{0.47}As n チャネル MOSFET を製作した。ソース・ドレインは Si イオン注入と 600°C の活性化アニールにより形成された。ゲート絶縁膜には ALD Al₂O₃ 3.2nm、ゲート電極には W を用いた。電気ストレスでは、ソースとドレインを接地し、ゲートに 1.4~1.8V の正の定電圧を印加した。キャリアセパレーション法に従い、電子とホール電流は各々 S/D 電流(I_{SD})と基板電流(I_{SUB})として測定した。Fig.1 に InGaAs n-MOSFET の I_{SD}、ゲート電流(I_G)、I_{SUB} を示す。ここで I_{SD} は I_G と I_{SD} を合わせた値になるが、I_{SUB} は I_G より十分小さいので、I_{SD} と I_G はほぼ同じ値になる。InGaAs n-MOSFET でもキャリアセパレーションにより基板ホール電流が測定できることが分かる。SiO₂ 膜厚 4nm 以下の SiO₂/Si n-MOSFET の基板ホール電流は、Fig.2 のバンド図に示すように、Si 基板の価電子帯から電子がトンネリングし、残されたホールが基板に流れることで発生することが知られている[5,6]。Fig.3 に Al₂O₃ (3nm)/InGaAs n-MOSFET の I_{SUB}/I_G を SiO₂/Si n-MOSFET の値と共に表す。InGaAs n-MOSFET でも Si n-MOSFET と同様に I_{SUB}/I_G が V_G と共に増加し、ある V_G で減少に転ずる傾向があり、Al₂O₃/InGaAs n-MOSFET の基板ホール電流も価電子帯電子トンネリングにより発生したと考えられる。ストレスによる界面準位生成量(ΔD_{it})は、ストレス前後の InGaAs n-MOSFET の S 値の変化から求めた。Fig.4(a)と(b)に、ΔD_{it} と I_{SUB} を時間積分することにより求めたホール量、I_G を時間積分することにより求めた電子量の関係を表す。同じ電子量でもストレス電圧の違いによって ΔD_{it} が異なることに対し、同じホール量に対してストレス電圧を変えても ΔD_{it} が一定になることから、ΔD_{it} はホール量の関数として決定されていることがわかる。本実験結果から、ゲート電圧ストレスによる生成される Al₂O₃/InGaAs MOS 界面の界面準位はホール生成に起因していることが実験的に証明された。

【結論】 Al₂O₃/InGaAs n-MOSFET に正のゲート電圧ストレスを与えることにより生成された界面準位は、MOSFET の基板電流から測定されたホール電流量と相関関係があり、SiO₂/Si MOS 界面での界面準位生成機構と同様に、生成された正孔により発生していると考えられる。

【謝辞】 本研究は、JST・CREST (グラント番号 JPMJCR1332) 及び科学研究費補助金 (17H06148) の支援により実施した。InGaAs エピ基板を提供頂いた住友化学の横山正史氏、山本武継氏に感謝する。

【参考文献】 [1] Z. A. Weinberg et al., *J. Appl. Phys.* **57**, 443 (1985) [2] C. Chang et al., *J. Appl. Phys.* **57**, 302 (1985) [3] Ozawa et al., *Proc. IRPS*, 22 (1988) [4] K. F. Schuegraf et al., *J. Appl. Phys.* **76**, 3695 (1994) [4] S.-H. Yoon et al., *Microelectron. Eng.* **178**, 313 (2017) [5] A. Toriumi et al., *SSDM*, 351 (1987) [6] A. Modelli, *Appl. Surf. Sci.* **30**, 298 (1987)

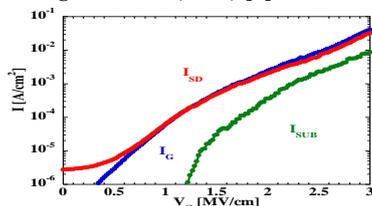


Fig.1 S/D(I_{SD}), Gate(I_G), substrate(I_{SUB}) current as function of V_G

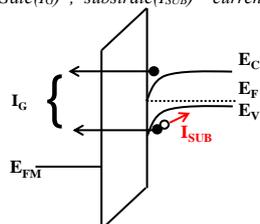


Fig.2 Energy-band diagram showing valence-band-electron-tunneling.

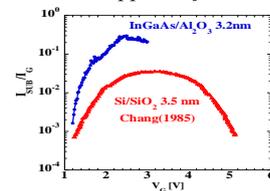


Fig. 3 I_{SUB}/I_G ratio as a function of V_G

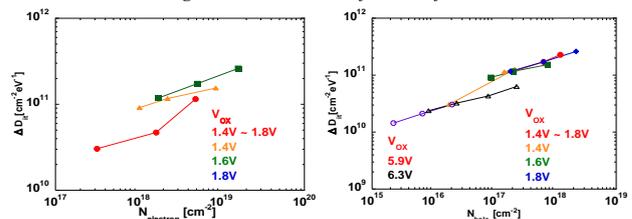


Fig.4 Relationship between ΔD_{it} and the total fluence of (a) holes and (b) electrons