

HfO₂系強誘電体ゲートトランジスタの低電圧動作

Low Voltage Operation of Ferroelectric-Gate FETs using HfO₂ Ferroelectrics

産総研¹, 東大院工², °右田 真司¹, 太田 裕之¹, 山田 浩之¹, 渋谷 圭介¹, 澤 彰仁¹,
松川 貴¹, 鳥海明²

AIST¹, Univ. of Tokyo², °S. Migita,¹ H. Ota,¹ H. Yamada,¹ K. Shibuya,¹ A. Sawa,¹
T. Matsukawa,¹ and A. Toriumi²

E-mail: s-migita@aist.go.jp

【はじめに】HfO₂系強誘電体はLSI製造プロセスとの親和性が高く、Ferroelectric random access memory (FeRAM)、Ferroelectric gate field-effect transistor (FeFET)、Ferroelectric tunnel junction (FTJ)といったデバイス応用が期待されている[1-4]。その中でも FeFET は NAND Flash メモリに匹敵する小さなセルサイズで製作可能なメモリデバイスであり、FeRAM よりも微細化が可能である。すでに HfO₂系強誘電体を用いて 14 nm FinFET や 22 nm FDSOI のプロセスを用いた FeFET の動作実証も報告されており[5-7]、将来有望なデバイスの一つである。

FeFET の設計と動作を考える上で、絶縁膜層と強誘電体層の電荷量マッチングが重要なパラメータであることが徳光らによって指摘された[8]。Si 基板で作成するトランジスタの場合、Metal- Insulator- Semiconductor (MIS)構造の SiO₂層が絶縁破壊しないことが必須条件となるため、最大電荷量は 1 uC/cm²以下に収めることが望ましい。一方の強誘電体は我々が作成している Hf-Zr-O 強誘電体薄膜の場合でも、飽和残留分極量が 20 uC/cm²を超える[9]。HfO₂系強誘電体薄膜を MIS 構造に直接接合した MFIS 構造(Fig. 1(a))では、強誘電体のマイナーループと呼ばれるごく一部の分極電荷しか使えずメモリウインドウも小さくなる。これに対して強誘電体のキャパシタ面積を小さく設計した MFMIS 構造(Fig. 1(b))では、面積比(S_F/S_I)によって電荷量マッチングが機能することで強誘電体の飽和特性を活用でき、大きなメモリウインドウが確保できる。

本研究では HfO₂系強誘電体を用いた FeFET において、MFMIS 構造の効果を低電圧動作の観点で調べたので報告する。

【実験】最初に p 型のバルク Si(100)基板を用いて MIS トランジスタを作成した。MIS 構造

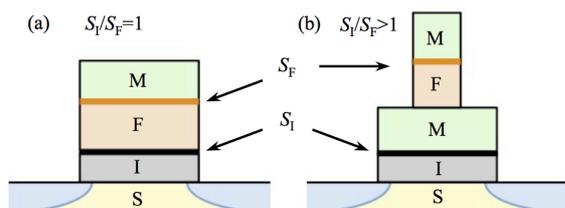


Fig. 1. Gate stack structures of FeFETs, (a) MFIS and (b) MFMIS. S_F and S_I indicate capacitor sizes of ferroelectric and MIS.

の絶縁膜は 3.8 nm の SiO₂熱酸化膜、電極は TaN とした。続いて MIS トランジスタのゲート電極のコンタクトホール内部に Hf-Zr-O 強誘電体のキャパシタを作成し、面積比(S_F/S_I)を有する MFMIS 構造を作った。最後に FGA アニール(450°C, 30 min)を行って完成した。電気特性は Keysight B1500A を用いてパルス測定で評価した。

【結果と考察】最も性能が良かった、面積比(S_F/S_I)を 29 で設計した MFMIS 型 FeFET の電気特性を Fig. 2 に示す。反時計回りのヒステリシスが観測できており、FeFET として機能している。ゲート電圧の電圧掃引(+2.0/-2.0 V)に対して約 1.2 V のメモリウインドウが得られている。MFIS 型 FeFET で報告されている電圧掃引(+3.8/-3.8 V)に対して 1.5 V のメモリウインドウに比べると[7]、動作電圧を大幅に低下できた。

【謝辞】本研究は JST CREST Grant Number JPMJCR14F2 の支援を受けて行った。MFMIS 構造のコンセプトについて詳細な議論していただいた北陸先端大の徳光教授に感謝いたします。

【参考文献】

- [1] J. Mueller *et al.*, IEDM 2013, p. 280.
- [2] T. S. Boescke *et al.*, IEDM 2011, p. 547.
- [3] J. Mueller *et al.*, VLSI 2012, p. 25.
- [4] S. Fujii *et al.*, VLSI 2016, p. 148.
- [5] M. Trentzsch *et al.*, IEDM 2016, p. 294.
- [6] Z. Krivokapic *et al.*, IEDM 2017, p. 357.
- [7] S. Duenkel *et al.*, IEDM 2017, p. 485.
- [8] E. Tokumitsu *et al.*, *Appl. Phys. Lett.* **75** (1999) 575; *Jpn. J. Appl. Phys.* **39** (2000) 2125.
- [9] S. Migita *et al.*, *Jpn. J. Appl. Phys.* **57** (2018) 04FB01.

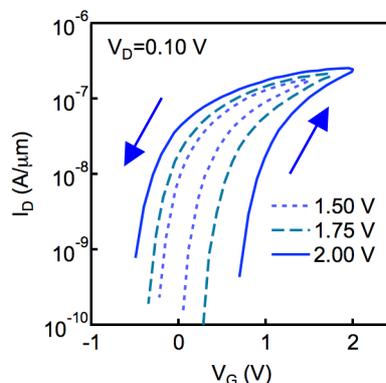


Fig. 2. Drain current-gate voltage characteristics of MFMIS-FeFET measured by a pulse-IV method (1ms at each step). Channel length is 50 um. S_F/S_I is 29.