

強誘電体ゲートトランジスタにおける HfO₂系強誘電体薄膜の期待と問題点

Prospect of the HfO₂ based ferroelectric thin films

for the use of ferroelectric gate transistor

大阪府大[○]藤村 紀文、高田 賢志、吉村 武

Osaka Pref. Univ. N. Fujimura, K. Takada and T. Yoshimura

E-mail: fujim@pe.osakafu-u.ac.jp

強誘電体が有する二つの安定した分極状態を利用して情報を記憶する強誘電体不揮発性メモリ(FeRAM)は、1989年にDRAMのキャパシタ部分に強誘電体薄膜を用いた構造のメモリが発表され[1]、低消費電力の不揮発性メモリとして非接触ICカードなどに応用されている。一方で、強誘電体をMISFETのI層に用いた不揮発性メモリ(FeFET)は、古くから提案されているものの[2]、未だ実用化には至っていない。これは、キャパシタ型のFeRAMがDRAMと同じ構造であるために既存の技術を多く利用できたのに対し、FeFETではSi基板上に酸化物の強誘電体を積層させるという困難な課題に取り組まなければならなかったことが主な原因である。

Si基板上に強誘電体を積層するMFS構造の場合、その界面にはSiO_x等の意図しない界面酸化物が形成する、このような界面層は界面準位やトラップ等の原因となるため、通常は界面に意図して酸化物薄膜を挟むMFIS構造が用いられる。HfO₂を用いたFeFET[3]の場合、9nmのHfO₂層に対して1.2nmのSiON層が挿入されている。HfO₂を用いる利点は10nm以下の薄膜で強誘電性が発現することであるが、F層の薄膜化に伴ってI層の薄膜化も必要となる。右図には10nm HfO₂とSiO₂を積層させたときのゲート電圧と強誘電体に印加される電圧の関係を示したものである。I層の膜厚増加に伴って分極反転に必要なV_Fが大きく増加することが見て取れる。そのため、F層には小さな自発分極と誘電率が、I層には大きな自発分極と誘電率の物質選択が必要となる。HfO₂薄膜は、PZT等の通常の強誘電体と比べると自発分極が20μC/cm²、誘電率が20と小さくFeFETとしては有利であると考えられる[4, 5]。実際には、FeFETの動作に対して自発分極は、この1/10程度で十分である。また、図は強誘電性ドメインが膜厚方向にそろっている場合の計算であり、非晶質であるI層と積層させたHfO₂薄膜は多結晶となり、そのドメイン構造を制御しなければならない。この様な問題も顕在化している。

FeFETは高集積化が可能なメモリとしてだけでなく、ニューロモルフィックデバイス[6]や超低消費電力が期待される負性容量を用いたSteep Slope FET[7]など興味深いデバイスへの応用が期待されている。本講演では、FeFETの動作原理と物質設計に関して述べるとともに、Si上へのエピタキシャル成長や負性容量FETなどへの応用を視野に入れて、HfO₂薄膜のFeFETへの応用の期待と問題点に関して講演する。

[1] J. F. Scott and C. A. Paz de Araujo, Science 246 (1989) 1400

[2] S. Y. Wu: IEEE Trans. Electron Devices ED-21, 499 (1973)

[3] E. Yurchuk, IEEE Transactions on Electron Devices, 61, 3699 (2014)

[4] Topics in Applied Physics 98, Ferroelectric Thin Films: (Springer, 2005)

[5] Topics in Applied Physics 131, Ferroelectric-gate FET Memories: (Springer, 2016)

[6] H. Ishiwaru, Jpn. J. Appl. Phys., 32, 442 (1993), Y. Nishitani et al. J. Appl. Phys., 111, 124108 (2012)

[7] S. Salahuddin and S. Datta, Nano Lett., 8, 2, 405 (2008).

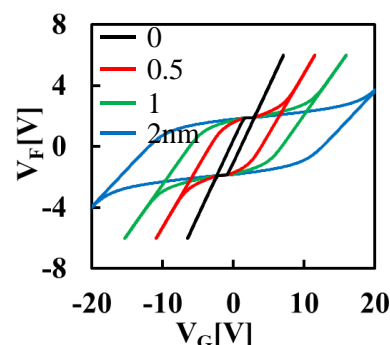


図 HfO₂(10nm)/SiO₂キャパシタのV_FとV_Gとの関係: SiO₂膜厚依存性