

ガラス基板上的高誘電率ゲート絶縁膜を有する4端子低温 poly-Si TFT

Four-Terminal Low-Temperature Poly-Si TFT with High-k Gate Stack on Glass Substrate

東北学院大工¹ ○西口 尚希¹, 原 明人¹

Tohoku Gakuin Univ.¹ Naoki Nishiguchi¹ and Akito Hara¹

E-mail: akito@mail.tohoku-gakuin.ac.jp

【はじめに】埋め込みメタルゲートを有する平面型4端子低温 poly-Si TFT を自己整合プロセスによりガラス基板上に実現している^{1,2)}。更なる高性能化のためには、high-k ゲート絶縁膜の導入が不可欠である。本報告では、トップゲート(TG)に high-k ゲート絶縁膜を導入した4T LT poly-Si TFT の特性を報告する。

【実験方法】石英ガラスを利用している。ゲートメタルは上下ともタングステン(W)である。ボトムメタルゲート (BG)は、RIE によるトレンチの形成と W スパッタリング、引き続いて行われた CMP により埋め込み構造となっている。チャンネル Si は、非晶質 Si を 65 nm 成長後、半導体励起固体 CW レーザ (Nd:YVO₄, 532 nm) を利用した CLC 結晶化^{3,4)}により大粒径のラテラル結晶を実現した。TG の絶縁膜は PECVD-SiO₂ を 10 nm 形成した後、反応性スパッタリングを利用して HfO₂ を形成している。10 nm の SiO₂ はスパッタリング時に Si 表面に導入されるダメージを低減させるための保護膜である。BG は PECVD-SiO₂ であり、厚さは 100 nm である。最高プロセス温度は 550°C である。

【結果および考察】図 1, 2 は、作成した TFT の光学顕微鏡写真、TG 領域の断面 TEM 写真である。ゲート長は 10 μm である。反応性スパッタリングを利用して形成した HfO₂ の比誘電率を 16⁵⁾ と仮定すると、CET=13 nm になる。図 3 は上下のゲートを連結させて測定したダブルゲート (DG) でのトランスファ特性である。図 4 は異なるコントロール電圧 (V_{CG}) に対する TG 動作のトランスファ特性 (TG: drive, BG: control) を示す。尚、挿入図は TG を drive gate とした時の V_{th} の V_{CG} 依存性であり、 $\gamma=0.18$ が得られる ($\gamma=\Delta V_{th}/\Delta V_{CG}$, V_{CG} は control ゲート電圧)。 γ 値の理論値⁶⁾は 0.11 と予想されるが、実験値は非常に近い値を示している。また、high-k の導入により、非常に小さい s. s. (DG: 115 mV/dec) を実現している。これらには CLC poly-Si が大粒径を有し、結晶品質が優れていることも関係している。

【まとめ】High-k ゲート絶縁膜の導入により高性能な 4T LT poly-Si TFT を 550°C でガラス基板上に作製した。高い V_{th} の制御性、小さい s. s. は、ガラス基板上に高速で低消費電力の CMOS 回路の作製を可能にするものと期待される。

【謝辞】本研究は、科学研究費 (C) 16K06311 により援助された成果を含んでいる。また、本研究のイオン注入部分は、文部科学省ナノテクノロジープラットフォームプロジェクトの支援を受けて広島大学ナノデバイス・バイオ融合科学研究所で実施された。

参考文献

1) H. Ohsawa et al., Jpn. J. Appl. Phys. 55, 03CC01 (2016). 2) H. Ohsawa et al., Jpn. J. Appl. Phys. 57, 03DB01 (2018). 3) A. Hara et al., Jpn. J. Appl. Phys. 41, L311 (2002). 4) A. Hara et al., Jpn. J. Appl. Phys. 43, 1269 (2004). 5) T. Meguro et al., IEICE Trans. Electron. E100-C, 94 (2017). 6) M. Masahara et al., IEEE Trans. Electron Devices 52, 2046 (2005).

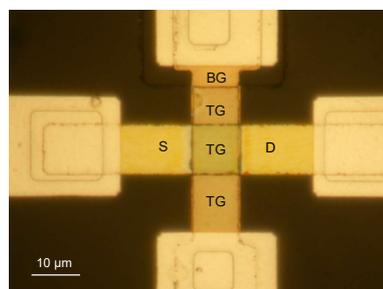


図 1. 作成した TFT

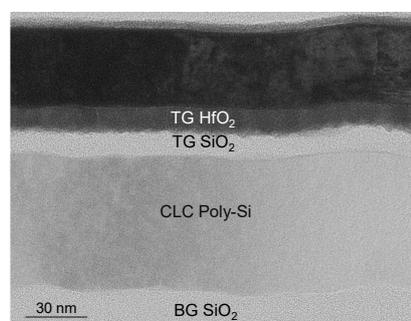


図 2. TG の gate stack

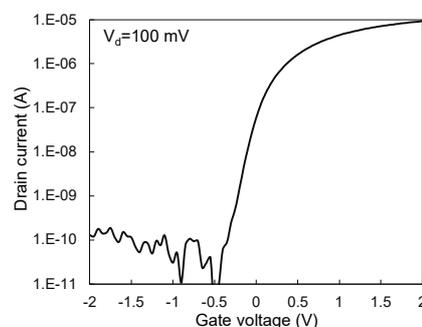


図 3. DG モードでのトランスファ特性

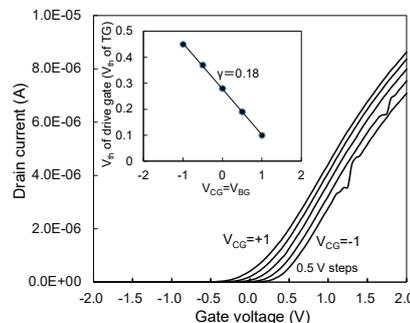


図 4. V_{th} の V_{CG} 依存性